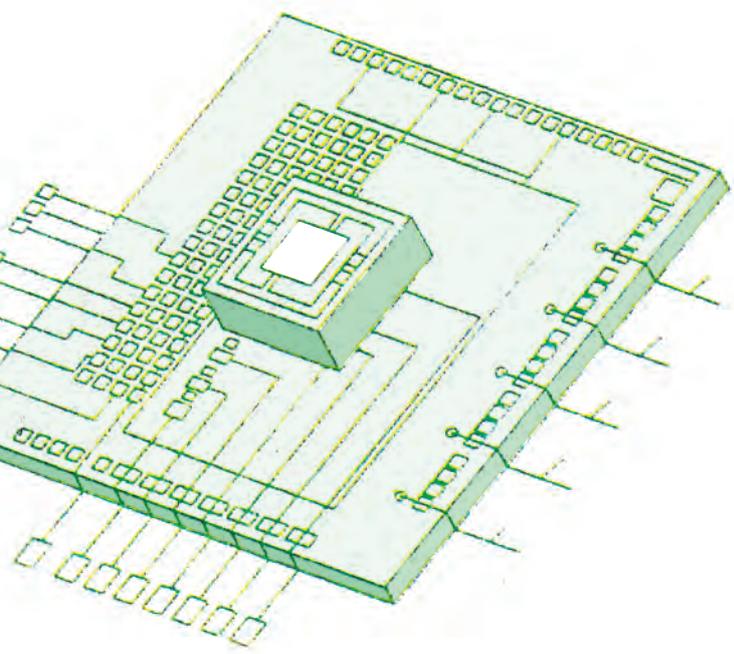


TOME / N°
63 / 1
2017

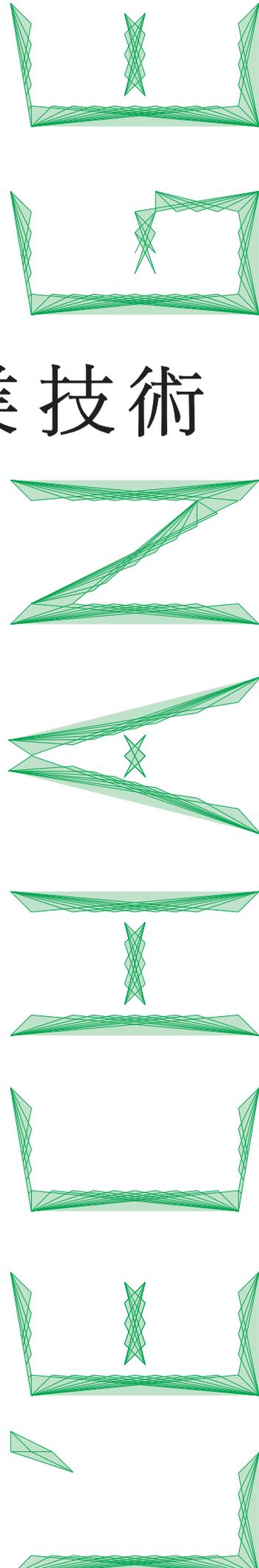
l'échange
日仏工業技術

Bulletin de la Société Franco-Japonaise
des Techniques Industrielles



特集
[IoT時代の
3次元集積回路の未来とその課題]

L'avenir des circuits intégrés 3D dans
l'ère de l'Internet des objets et ses problèmes



AKEBONO

BRAKE EXPERTS

www.akebono-brake.com



IoT時代の3次元集積回路の未来とその課題

L'avenir des circuits intégrés 3D dans l'ère de l'Internet des objets et ses problèmes

002 技術の風景『パリの光景と半導体デバイス』

文・写真 = 知京 豊裕 / Toyohiro CHIKYO

[広告]
P32: 極東鋼弦コンクリート振興株式会社 / P33: 曙ブレーキ / P34: 日本工営株式会社 / P35: 一般社団法人海外鉄道技術協力協会表 / 表2: 曙ブレーキ / 表4: (株)ジェイテクト

004 高橋前会長に花束・記念品贈呈

文 = 中島 智章 / Tomoaki NAKASHIMA 写真 = 知京 豊裕 / Toyohiro CHIKYO

005 会長挨拶

菅 建彦 / Tatsuhiko SUGA

006

L'avenir des circuits intégrés 3D dans l'ère de l'Internet des objets et ses problèmes

巻頭言: IoT時代の3次元集積回路の未来とその課題

知京 豊裕 / Toyohiro CHIKYO

008

Rapport de la réunion de l'atelier Japon-France état actuel des circuits intégrés tridimensionnels en France

日仏ワークショップ会合報告ーフランスにおける3次元集積回路の現状紹介ー

知京 豊裕 / Toyohiro CHIKYO

010

Situation actuelle et perspectives d'avenir de la technologie d'intégration 3D

3次元集積化技術の現状と将来展望

小柳 光正 / Mitsumasa KOYANAGI

013

Composites métal/polymère pour le remplissage de TSV

TSVに充填するための導電性ポリマー / 金属複合材料

川喜多 仁 + 知京 豊裕 / Jin KAWAKITA + Toyohiro CHIKYO

018

Technologies d'emballage compatibles avec l'intégration 3D des puces LSI

3次元LSIチップ積層に対応したパッケージ技術

青柳 昌宏 / Masahiro AOYAGI

[Column]

021 政治家の話をする子供... ~ Les enfants parlent de politique... ~ ストルク 佳代子 / Kayoko STORCK

[Dossier spécial]

022 特別記事1: 日仏の輸送機器軽量化プロジェクト 岡田 健 / Takeshi OKADA

特別記事2: 三宅理一先生記念講演会・謝恩会報告 中島 智章 / Tomoaki NAKASHIMA

[Reportage]

025 報告1: 日仏工業技術会 第63回通常総会報告 / 2016年度決算・2017年度予算報告

報告2: 日仏鉄道技術シンポジウム2017『都市鉄道と近未来』開催報告

日仏工業技術

L'ÉCHANGÉ

TOME 63 / N° 1
2017



Les Horizons de la Technique

技術の風景

パリの光景と半導体デバイス

Spectacle de Paris et dispositif semi-conducteur

文・写真 = 知京 豊裕

フランス企業との打ち合わせのために何度かパリを訪問した。打ち合わせの終わった午後、市内を散策した。ルーブル美術館の前を通り、シテ島を目指して歩く。途中、ポンデザール橋がある。ポンデザール橋といえば、その上でカルチュ・ブレッソンが撮ったサルトルの写真の思い出した。手にはパイプを持ち、橋の上で知人と話しているモノクロ写真である。ポンデザール橋からはシテ島が見える。島から左右に伸びる橋が印象的である。その印象ゆえ、思わず、カメラのシャッターを切った。そういえば、ブレッソンの写真集に同じような写真があったことを思い出した。しばらくその光景を見ているとその構図が、集積回路の縦方向の配線のビアとその上を走るビット線に似ていることに気が付いた。そうなると、シテ島はさしずめ、デバイス領域を分ける Shallow Trench Isolation(STI) か？ パリの街自体が集積回路に似ているとおもった。形は様々だが、高さのそろった建物は集積回路のフォトレジストによるパターンニングを連想させる。また、ブロックで区切られた区画は、Si 上に多様な機能を搭載した、System on Chip(SoC) のようにも見える。そうすると三次元集積回路はどうなるのか？ 東京駅から見えた高層ビル。それはまさに三次元メモリにも似ている。各階層はメモリセルがあり、縦に見えるラインは Through the Si Via(TSV) である。自分が使っている集積回路を取り出して、一部を拡大するとそこに、いろんな街並みがあるかもしれない。



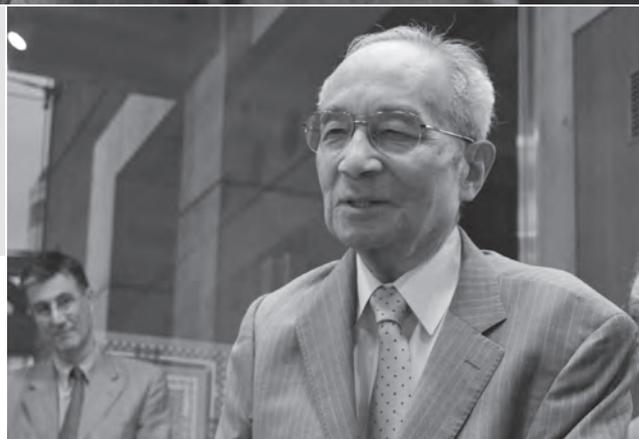


高橋前会長に 花束・記念品贈呈

さる6月12日月曜日に日仏会館にて行われた総会において、高橋裕先生が会長を退き、菅新会長が就任したのを受け、総会終了後の懇親会冒頭で高橋前会長に、佐藤登美子、渡辺早苗両氏から花束と記念品が贈呈されました。高橋前会長には、本会の運営にあたり様々に貢献・援助いただき、ここに改めて感謝申し上げる次第です。

編集委員長 中島 智章

写真撮影：知京 豊裕



挨拶される高橋裕先生



懇親会の様子



在日フランス大使館科学技術参事官(当時)ジャック・マルヴァル氏と高橋裕先生



左から羽田肇常務理事、知京豊裕副会長、渡辺早苗氏、佐藤登美子氏、岡田雅年前副会長、高橋裕先生、菅建彦会長



左から岩田忠久副会長、工藤高副会長、高橋裕先生、中島智章副会長、菅建彦会長、江口元前常務理事

会長挨拶

菅 建彦 / Tatsuhiko SUGA



さる6月12日の総会で、はからずも日仏工業技術会の会長に選任されました。まずは、高橋裕前会長の多年にわたるご貢献に深く敬意を表し、心からお礼申し上げたいと思います。高橋前会長は2011年10月、本多健一会長の後を継いで会長に就任され、ご高齢にもかかわらず、時には私財まで投じられて、会の発展のために尽くされました。この間、ご専門の河川工学に関する長年のご研鑽が高く評価されて、2015年に日本国際賞を受賞されました。今年の初め卒寿を迎えられましたが、ますますお元気で新しい著作に取り組んでおられるそうです。ご健勝を心からお祈り申し上げます。

日仏工業技術会が創立された1955年、日本はようやく戦後復興を終えたところで、1952年に主権を回復したとはいえ、ソ連との国交回復と国連加盟（いずれも1956年）はまだ実現していませんでした。敗戦で在外資産と外貨を失った当時の日本では、海外旅行に厳しい制約が課せられていたため、フランスまで渡航することができた人はきわめて限られていました。戦前ヨーロッパへの最短ルートだったシベリア鉄道は戦後の冷戦下で全く使われず、日欧間の航空路はまだ揺籃期で、多くの渡航者がスエズ経由の船を利用した時代でしたから、フランスは本当に遠い国だったと思われます。このような時期に、「工業技術」を軸に日仏間の交流を推進しようとした諸先輩の理想と心意気に、深い共感と敬意を覚えます。

今日では発達した航空路と情報通信網のおかげで、フラ

ンスはかつてほど遠い国ではなくなりました。しかし、私たちのフランス語の能力もフランス文化への理解も、1950年代にフランスを訪れた先輩たちに比べて、さしたる進歩を遂げたとは思えません。むしろ、交通通信手段と情報技術の発達をもたらしたグローバリゼーションの結果、地球規模で「英語一強」の言語状況が生まれ、英語以外の外国語に対する関心と学習意欲は低下し、それぞれの国民が大切に守ってきた文化的伝統や価値観までもが、英語主導の画一化の大波に呑み込まれようとしているかに見えます。このような時期にこそ、英米の文化や価値観とは一線を画してきた日本やフランスの独自性を評価し、相互の交流を深める意義はますます大きくなっている筈ですが、実際には、日仏工業技術会は会員数の急激な減少と高齢化という厳しい現実に直面しています。

一昨年創立60周年を迎えた本会は、「日々の暮らしの豊かさと規律をめざして」をテーマとして記念行事を展開し、その一環として行われた3回にわたる連続講演会の記録が、このほど日仏工業技術会誌特別号『現代科学を問い直す』として刊行されました。60年前とは大きく変わった環境のもとで、科学・技術のあり方を根本から問い、本会のことからの課題と進路を模索する試みの大きな成果です。

このたび選任された新役員は、平均年齢がかなり若返りました。微力ながら一致協力し、フランス大使館、日仏会館など関係機関との連携を密にしながら、当面する課題に取り組みたいと思います。

L'avenir des circuits intégrés 3D dans l'ère de l'Internet des objets et ses problèmes

Les dispositifs à semi-conducteurs sont largement utilisés dans les ordinateurs, les télécommunications, les automobiles, etc., et sont devenus une infrastructure sociale importante soutenant la société moderne. Les dispositifs à semi-conducteurs ont connu plusieurs innovations technologiques majeures par le passé.

La première transformation est l'apparition d'une structure métal-isolant-semi-conducteur (Metal-Oxide-Semiconductor: MOS) qui fait les transistors en n'utilisant que des semi-conducteurs de type p ou n. Le courant dominant jusque-là était un transistor bipolaire qui a été réalisé en utilisant deux types de semi-conducteurs de type p et semi-conducteurs de type n. La structure MOS complémentaire (complémentaire-MOS) composée de ces deux types de transistors, une structure communément appelée CMOS contribue largement à une faible consommation d'énergie et occupe même maintenant le courant dominant du dispositif. Le changement suivant est une miniaturisation remarquable par projection de réduction et gravure sèche. Il s'agit de réaliser une structure fine en réduisant le motif d'appareil dessiné sur un grand masque avec une lentille optique et en le projetant sur un semi-conducteur. La miniaturisation a contribué à l'accélération, car la distance du canal à travers lequel les électrons se déplacent est raccourcie. La miniaturisation a également contribué à la faible consommation d'énergie. En effet, plus la distance (épaisseur du dispositif) entre la grille et le substrat auxquels la tension est appliquée diminue, plus la tension à laquelle le dispositif peut fonctionner est faible.

Puisque la miniaturisation dépend essentiellement de la longueur d'onde de la lumière, sa longueur d'onde devient plus courte avec la ligne g (longueur d'onde 436 nm), la ligne i (longueur d'onde 365 nm), le laser à excimère KrF (longueur d'onde 248 nm), le laser à excimère ArF (longueur d'onde 193 nm). Récemment, un double motif qui réalise une miniaturisation en combinant plusieurs masques a été développé, et sa miniaturisation, dépassant la largeur de ligne microfabriquée définie par la longueur d'onde optique, a été avancée à 16 nm à l'heure actuelle. Cependant, la miniaturisation n'est pas infinie et la limite de la longueur de la porte est considérée comme étant de 7 nm. Pendant ce temps, comme on le voit dans les dispositifs de communication mobiles tels que les téléphones intelligents, les circuits intégrés doivent avoir plus de fonctions et des fonctions plus élevées. Même en véhicule automatique, attirant l'attention en tant que nouveau marché des circuits intégrés, c'est un prérequis pour une utilisation dans un environnement réseau, et le développement de systèmes pour cela s'accélère. En plus de la miniaturisation, une méthode d'intégration tridimensionnelle a été proposée pour répondre à la demande d'intégration plus élevée, de fonctionnalité plus élevée et de

consommation d'énergie plus faible, et attire l'attention ces dernières années. La mémoire flash a déjà été tridimensionnelle, et une structure tridimensionnelle a déjà été adoptée dans des capteurs d'image et similaires. Cette tendance devrait progresser davantage à l'avenir.

Cependant, il y a aussi des problèmes. Afin de réaliser un circuit intégré ayant une structure tridimensionnelle à pleine échelle, il est nécessaire de disposer d'un Through Silicon Via (TSV) qui connecte des dispositifs à diverses fonctions avec un câblage fin dans le sens vertical. En particulier, des problèmes non résolus tels que la façon de fabriquer un câblage TSV plus fin et croissant, le développement de matériaux pour abaisser la résistance du câblage, le développement de la technologie de liaison, etc. ont été entassés.

Par exemple, la largeur de câblage TSV devrait être de plusieurs μm dans le futur. Comment traiter les fins trous TSV qui pénètrent dans le substrat silicone et quels matériaux doivent être remplis à grande vitesse pour former le câblage. De plus, pour connecter les dispositifs supérieur et inférieur, il est nécessaire de fabriquer de manière fiable la jonction.

Dans cet article spécial, cinq chercheurs du Japon et de la France, tels que le chercheur impliqué dans le développement de procédés au consortium de dispositifs à semi-conducteurs, le chercheur qui développe des dispositifs tridimensionnels depuis de nombreuses années, l'expert en matériaux d'emballage, etc., présenteront le statut actuel, les défis et l'avenir des circuits intégrés 3D de leurs points de vue respectifs.

Nous résumerons les discours de deux Français sous le thème de la situation actuelle de la nanoélectronique, statu quo de la tridimensionnalisation et des enjeux. En ce qui concerne trois études japonaises, nous aurons les sujets comme suit.

1) Situation actuelle et perspectives d'avenir de la technologie d'intégration 3D

Mitsumasa KOZANAGI, Nouveau centre de création et d'éclosion, Université de Tohoku

2) Implémentation et emballage de l'empilage 3D LSI

Masahiro AOYAGI, Institut national des sciences et technologies industrielles avancées

3) Nano matériaux composites de polymère conducteur et de métal pour l'interconnexion TSV

Jin KAWAKITA, Institut national des sciences des matériaux

Toyohiro CHIKYO

IoT時代の 3次元集積回路の 未来とその課題

半導体デバイスはコンピュータ、通信、自動車などで広く使われ、現代社会を支える重要な社会インフラとなっている。半導体デバイスはこれまで数回の大きな技術革新を経験してきた。

最初の変革はp型半導体とn型半導体の2つを使って実現してきたバイポーラトランジスタから、p型あるいはn型半導体だけを使ってトランジスタを作製する金属-絶縁体-半導体構造 (Metal-Oxide-Semiconductor: MOS) の登場である。この二種類のトランジスタをつないで構成される相補型 MOS 構造 (Complementary-MOS)、通常 CMOS と呼ばれる構造は低消費電力化に大きく貢献し、現在でもデバイスの主流を占めている。次の変革は、縮小投影とドライエッチングによる飛躍的な微細化である。これは大きなマスクに描かれたデバイスパターンを光学レンズで縮小し、それを半導体に投影することで微細な構造を実現するものである。微細化は電子が移動するチャネルの距離が短くなるために高速化に貢献し、電圧を加えるゲートと基板との距離 (デバイスの厚さ) も薄くなるために低い電圧でデバイスを動かすことから低消費電力化にも貢献した。

微細化は基本的に光の波長で決まるために、その波長はg線 (波長 436nm)、i線 (波長 365nm)、KrF エキシマレーザー (波長 248nm)、ArF エキシマレーザー (波長 193nm) と短波長化してきた。また、最近では、マスクを複数組み合わせることで光学波長で規定される微細加工線幅を超える微細化を実現するダブルパターンニングも開発され、その微細化は現在では16nmまで進んでいる。しかし、現在、その微細化は限界まで達し、ゲート長は7nmまで微細化されるとされている。その一方で、スマートホンなどの移動通信機器に見られるように、集積回路には多機能化、高機能化が求められている。新たな集積回路市場として注目される自動運転においてもネットワーク環境での利用が前提であり、そのためのシステム開発も加速している。さらなる高集積化、高機能化、低消費電力化への要求にこたえる方法として、これまでの微細化と合わせて集積回路を三次元化する方法が提案され、最近、大きな注目が集まっている。すでにフラッシュメモリはすでに三次元化され、イメージセンサーなどでは、三次元的な構造がすでに採用されている。この傾向は今後ますます進展すると期

待される。

しかし、課題もある。本格的な三次元構造をもつ集積回路を実現するには多様な機能をもつデバイスを縦方向に微細な配線をつなぐ Through-Si-Via (TSV) が必要になる。特に微細化し増加する TSV 配線をどのように作製するか、その配線の低抵抗化のための材料開発、接合技術の開発など、未解決の課題が山積している。

例えば、TSV の配線幅は将来は数 μm になると予想され、Si 基板を貫通する微細な穴の TSV をどのように加工するか、また、その穴をどのような材料を高速に充填して配線を形成するか、さらに、上下にあるデバイスをつなぐためには、確実に接合を作製する必要がある。

今回の本誌の特集では、日仏両国から、半導体デバイスのコンソーシアムでプロセス開発に関係する研究者や三次元デバイス開発を長年行ってきた研究者、実装材料の専門など多様な研究者、5名にそれぞれの視点で三次元集積回路の現況と課題、そして未来を紹介していただいた。その内容をフランスからの2名の講演をナノエレクトロニクスの現況と三次元化、その現況と課題としてまとめ、国内の3研究に関しては、以下のようなテーマでまとめていただいた。

1) 「三次元集積化技術の現状と将来展望」

Present Situation and Future Prospect of 3D Integration Technology

小柳 光正 東北大学 未来科学技術共同研究センター

2) 3次元 LSI チップ積層に対応したパッケージ技術

Technologies d'emballage compatibles avec l'intégration 3D des puces LSI

青柳 昌宏 国立研究開発法人 産業技術総合研究所

3) TSV に充填するための導電性ポリマー / 金属複合材料

Composites metal / polymère pour le remplissage de TSV

川喜多 仁 国立研究開発法人物質・材料研究機構

(知京 豊裕 / Toyohiro CHIKYO)

Rapport de la réunion de l'atelier Japon-France:état actuel des circuits intégrés tridimensionnels en France

日仏ワークショップ会合報告 - フランスにおける三次元集積回路の現状紹介 -

知京 豊裕 / Toyohiro CHIKYO

La société moderne est une société de l'information avancée, et divers types de circuits intégrés, y compris le circuit intégré à grande échelle (large scale integration ou LSI), le soutiennent. En particulier, le circuit intégré joue un rôle important dans l'explosion de l'information qui a débuté en 2000 et l'Internet des objets (IdO) qui relie divers capteurs à Internet et rassemble des informations. Jusqu'à présent, les circuits intégrés à semi-conducteurs ont réalisé une intégration élevée, une haute fonctionnalité, une faible consommation d'énergie par miniaturisation et ont fourni une infrastructure sociale qui soutient la société de l'information actuelle. Cependant, la miniaturisation qui a progressé en douceur a atteint la limite : la longueur de la grille a été miniaturisée à 7 nm. On s'attend à ce que des coûts élevés et de grandes difficultés accompagnent la poursuite de la miniaturisation à l'avenir. En tant que méthode pour obtenir de hautes performances par miniaturisation, le "circuit intégré tridimensionnel" attire l'attention. À l'avenir, cependant, de nombreux problèmes subsistent dans les circuits intégrés tridimensionnels réalisant la miniaturisation, la haute fonctionnalité et la multifonctionnalité. Afin d'augmenter la vitesse de l'appareil, il est nécessaire de réaliser le câblage vertical et d'accélérer le traitement du signal. À cet effet, le système Through Silicon Via (TSV), qui est la technologie de câblage dans le sens vertical, est important. Pour former le TSV, il subsiste des problèmes importants tels qu'un procédé de formation d'un trou uniforme à grande vitesse, le remplissant avec un court temps et une fabrication de câblage. Dans ce contexte, Monsieur Carlo Reita du CEA-Leti a présenté l'état actuel et futur du circuit intégré tridimensionnel, et Monsieur Frederic Boeuf a introduit la technologie de câblage dans les circuits intégrés tridimensionnels.

現代社会は高度情報化社会であり、それを支えているのは各種、集積回路、Large Scale Intergrated Circuit (LSI) である。特に、2000年台に始まった情報爆発や各種センサーをインターネットにつなぎ情報を集める Internet of things (IoT) では集積回路が重要な役割をはたしている。これまで半導体集積回路は微細化による高集積化、高機能化、低消費電力化を実現し、現在の情報化社会を支える社会基盤を提供してきた。しかし、順調に進んできた微細化は限界まで達し、ゲート長は7nmまで微細化されている。今後のさらな

る微細化には高いコストと大きな困難が伴うことが予想される。微細化による高機能化に代わる方法として、集積回路を三次元化する、「三次元集積回路」が注目されている。ここでは、メモリのように一つの機能を三次元的に集積することでさらなる記憶容量を向上させる目的もあれば、機能の異なるデバイスを三次元的に配置して、一つのチップで多機能を実現する System on Chip の三次元化もある。すでに一部ではフラッシュメモリの三次元化やイメージセンサーのように受光素子から信号処理までを積層化したチップなどが製品化され

ている。しかし、今後、微細化と高機能化・多機能化を実現する三次元集積回路には多くの課題が残されている。デバイスの高速化には縦方向の配線を実現し、信号処理を高速化する必要がある、そのためには縦方向の配線技術である Through-Si-Via (TSV) は重要である。TSV 形成のためには高速かつ均一な孔を開ける手法やそれを短時間で充填し配線を作製する方法など大きな課題も残っている。CEA-Leti の Carlo Reita 博士に三次元集積回路の現状と将来、Frederic Boeuf 博士には三次元集積回路における配線技術に関する技



講演の様子



パネルディスカッションの様子

術を紹介していただいた。

本ワークショップでは、CEA-Leti の Carlo Reita 博士がフランスにおける集積回路開発の現状を紹介した。CEA はエネルギー、防衛などに関係する機関であるが、研究開発の責務を負っており、Si 半導体に関するコンソーシアム CEA-Leti の運用を行っている。CEA-Leti では、微細 MOSFET、特に SOI 基板上に作製した MOSFET の限界性能、三次元集積回路、各種センサー、パワーデバイスなどを中心に研究開発をしていることが紹介された。

CEA-Leti では独自の三次元集積回路のロードマップを持っており、どのような要素技術が必要になるかをベンチマークしながら研究開発を進めている。注目すべき研究はサーバなどに求められる高速デバイスと低電力で動作する三次元メモリなどを組み合わせて高機能と低消費電力化を同時に実現しようとしている点である。そのためには、デバイスが作製された異なる基板同士を貼り合わせてデバイスを積層する技術や多様な三次元構造をもつデバイスを作製し、それらを混載する技術なども紹介された。CEA-Leti が示すロードマップでは2020年には三次元構造をもつ新しいコンピュータパラダイムが実現されるとされており、今後、ますます三次元集積回路の重要性が高まるとした。

三次元集積回路における大きな問題の一つがチップの中で比較的長距離の信号伝達をどのように高速化するかである。Global Interconnection と呼ばれるこの配線はこれまでの長距離のために信

号の遅延が問題となってきた。そのために、他の配線が高速化しても、この長距離配線が信号処理のボトルネックとなる。この問題を解決するために、この配線を光通信に置き換えようとする試みが始まっている。Frederic Boeuf 博士は、この問題を東京大学との共同研究で光電子集積回路を作製して解決しようとしている。このデバイスは電気信号を光信号に変換する機能を持ち、光 LSI による信号処理と通常の電気信号処理による LSI をつなぐ役割を持つ。これらを三次元的に集積することで多機能かつ高速演算を実現しようとするものである。そのためには Si を使った光源や SiO₂ による光導波路を Si 上に作製する技術開発が必要となる。また、光導波路で多重通信を行うための変調器なども必要である。そこでは新材料の開発も必要である。講演では光電子集積回路とそれらを集積して三次元化することのメリットが紹介された。一連の講演のあと、パネルディスカッションを行い、三次元集積回路の今後の市場性、技術的課題などを日仏の連携の可能性も含めて総合的に議論した。

用語解説

・集積回路 : Si などの半導体基板上に電子部品を微細加工し搭載した電子素子。用途に応じて演算素子やメモリ素子などに分けられる。

・MOSFET : 集積回路の基本構造。金属 (Metal) - 酸化物 (Oxide) - 半導体 (Semiconductor) で構成され、金属電極に電圧を印加することで半導体に電流が流れるチャンネルを形成

し、電流の On/Off を制御する。

・ゲート長 : 集積回路は電極として、電流を注入する電極、ソースと電流を取り出すドレイン、その電流の On/Off を制御するゲートの3つがある。その中でソース、ドレインの間にあるゲートの長さは演算速度に関係することから微細加工の指標として用いられる。

・三次元集積回路 : Si 基板表面に加工して作製されてきた集積回路を積層し、さらに上下に配線をすることで異なる集積回路を三次元的に構成した電子部品。各層で異なる機能を持たせることでより多機能を少ない面積に集積することができると期待されている。

・Through-Si-Via (TSV) : Si 基板に微細な孔を開け、そこに銅などの導電性材料を満ちし縦型配線を実現するものである。



Carlo Reita 博士



Frederic Boeuf 博士

Situation actuelle et perspectives d'avenir de la technologie d'intégration 3D

三次元集積化技術の現状と将来展望

小柳 光正 / Mitsumasa KOYANAGI



Les technologies d'intégration 3D sont abordées en se concentrant sur des technologies clés telles que le Through Silicon Via (TSV), le microbump métallique, l'amincissement de plaquettes, le collage de plaquettes, l'alignement de plaquettes et ainsi de suite.

En outre, une nouvelle technologie d'intégration 3D et une technologie d'intégration hétérogène appelée «intégration de super-puce» sont décrites.

1. はじめに

素子の微細化に頼らずに高集積化、高性能化、低消費電力化、高機能化を達成できる3次元LSIが注目されている。3次元LSIの歴史は古く、1970年代後半にはその基本となる技術の検討が行われている^[1]。我々は、量産性に富んだ3次元集積化技術を開発するために、1980年後半に縦型貫通配線 TSV を用いた3次元LSIの作製方法を提案し^[2]、poly-Si TSV を用いた3次元積層型イメージセンサ(1999年)、3次元積層型メモリ(2000年)、3次元積層型人工網膜チップ(2001年)、3次元積層型プロセッサ(2002年)を試作している^{[3]-[6]}。その後、Cu-TSVを使った3次元LSIの検討が精力的に行われ今日に至っている。

2. 3次元集積化技術の現状

これまでに、Cu-TSVを使った3次元積層型DRAM、3次元積層型イメージセンサ、3次元積層型プロセッサなどが試作されている。3次元積層型DRAMに関しては、HMC、HMBという3次元積層型DRAMが試作されサンプル出荷が始まっている。3

次元積層型イメージセンサに関しては、車の自動運転への応用を目指したステレオ画像カメラ用3次元積層型イメージセンサ(図1、図2)を2013

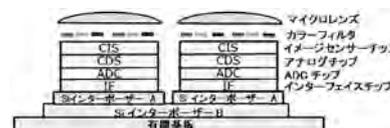


図1 2眼方式の3次元積層型イメージセンサの構成

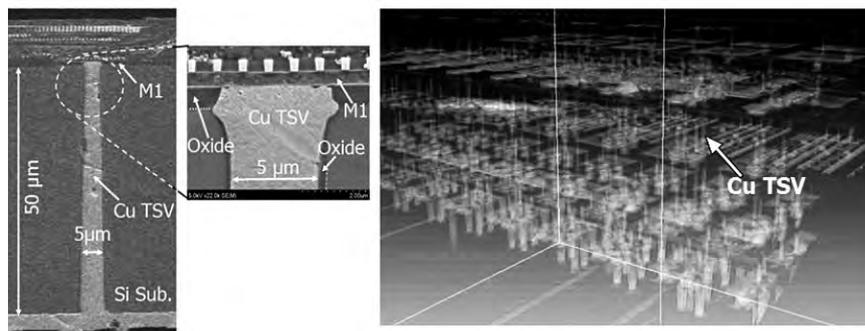


図2 試作した3次元積層型イメージセンサのSEM断面観察写真とX線CT画像

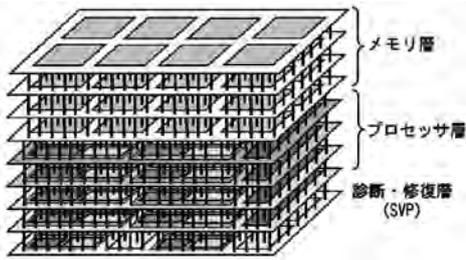
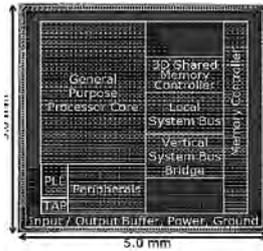


図3 3次元積層型デバダブルプロセッサの構成



試作したプロセッサコアのチップ写真 (CMOS 90nm Technology)

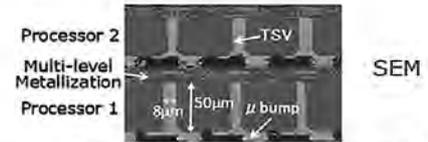


図4 3次元積層型プロセッサのSEM断面写真とCTスキャン像

年に我々が世界に先駆けて開発に成功している [7]。3次元積層型イメージセンサとしては、このほか、裏面照射型イメージセンサと処理回路を積層した積層型イメージセンサがソニーから製品化されている。3次元積層型プロセッサに関しては、マルチコアプロセッサ層とメモリ層を多層に積層してプロセッサ層とメモリ層間のデータバンド幅を増大させることによって性能および消費電力を飛躍的に改善した3次元積層型プロセッサ (図3、図4) を2015年に我々が試作している [8]。

3. 3次元集積化技術の将来展望

3次元集積化技術は今後、積層数の増加、TSVの微細化/高密度化、ヘテロ集積などにより、更なる高性能

化、高密度化、高機能化、低電力化を目指して技術が発展していくと考えられる。

3.1 高密度3次元集積化技術

現在、実用化されている TSV の直径は5~10μmであるが、今後直径1μm以下のTSVに対する要求も強くなっていくと考えられる。我々は、ブロックコポリマーの自己組織化現象を利用したナノ TSV 技術の開発を目指して、Si深溝内に高密度のナノ TSV (直径: 50~100nm) の形成を試みている (図5)。

3.2 ヘテロ集積化とスーパーチップ

図6、図7に示すように、異種チップを多層に積層し、層間を多数の微細 TSV で接続するスーパーチップの実現を目指している。そのために、液体

の表面張力を利用して多数のチップをSiウェハに一括張り合わせするセルフアセンブリー技術を開発した [9]。この技術を用いて、MEMS圧力センサーチップとCMOSチップを張り合わせたヘテロ集積チップ (図8)、スピニングメモリとCMOSチップを張り合わせたヘテロ集積チップ、光電子デバイスを集積したヘテロ集積チップ (図9)、生体埋め込み用ヘテロ集積チップなどの試作に成功している。

3.3 SOI積層とモノリシック積層

3次元LSIの更なる高性能化、高密度化のためは積層する各層の厚さを極限まで薄化し、層間を接続する層間配線の密度を高める必要がある。そのための手法の一つがSOI (Silicon On Insulator) 層を多層に積層する3次元集積化技術である。絶縁膜を形

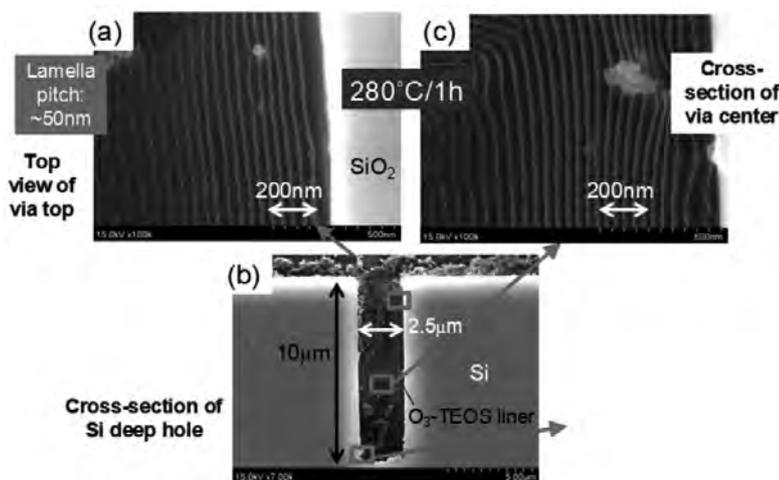


図5 Si深溝内に充填されたPS-b-PMMAブロック・コポリマーのナノ相分離により形成されたラメラ構造のSEM断面写真

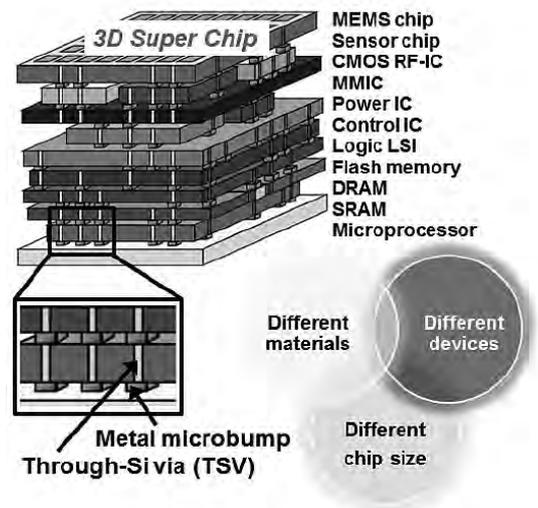


図6 3次元ヘテロ集積化とスーパーチップ

成した Si ウェハ上に薄い Si 膜を形成し、そこにトランジスタを形成するモノリシック3次元集積化技術も検討されている。

4. まとめ

長いこと研究開発が続けられてきた3次元 LSI が積層型 DRAM で実用化が始まっている。モノリシック3次元集積化技術による3次元 NAND フラッシュメモリも実用化の段階にきている。しかし、3次元 LSI の本格的な量産を控えて、信頼性、テスト、コスト等、解決しなければならない問題も山積している。3次元 LSI の市場拡大のためにはこれらの問題の解決が緊急の課題である。

参考文献

[1]Y.Akasaka,Proc.ofIEEE, vol.74, 1703-1714 (1986).
 [2]M.Koyanagi,Symp.on Future Electron Devices,50 (1989).
 [3]T.Matsumoto,M.Koyanagi et al.,SSM,1073 -1074 (1995).
 [4]H.Kurino,M.Koyanagi et

al., IEDM,879 (1999).
 [5]K-W Lee,M.Koyanagi et al., IEDM, 165 (2000).
 [6]T.Ono,M.Koyanagi,IEEE COOL Chips, (2002).
 [7]M.Koyanagi,IEDM (PlenaryTalk),8 (2013).
 [8]M.Koyanagi,ISSCC 3D-Forum, (2014).
 [9]T.Fukushima,M. Koyanagi et al.,IEDM,359 (2005)

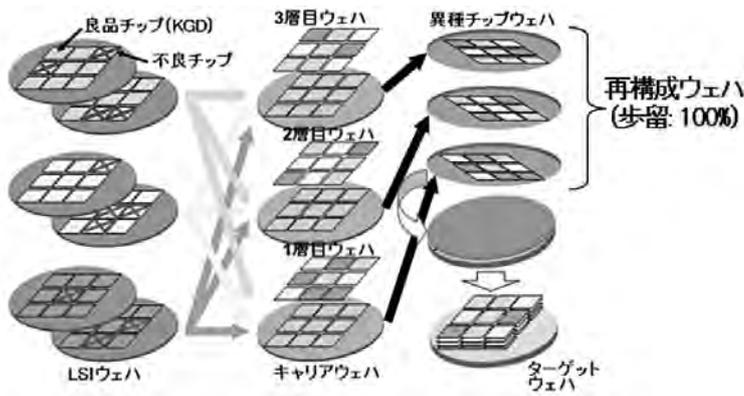


図7 自己配列 (Self-Assembly) を利用した低コスト3次元化技術

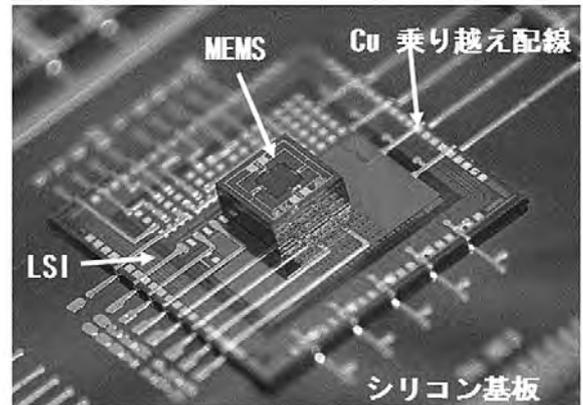


図8 LSI チップ上への MEMS チップの積層

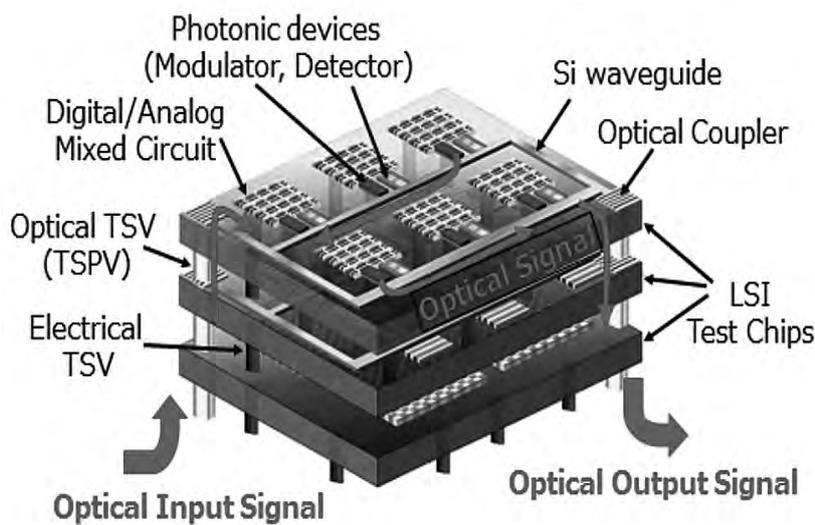


図9 3次元積層型光電子集積回路

Composites métal / polymère pour le remplissage de TSV

TSVに充填するための導電性ポリマー / 金属複合材料

川喜多 仁 + 知京 豊裕 / Jin KAWAKITA + Toyohiro CHIKYO



Récemment, l'intégration 3D de LSI gagne une grande préoccupation pour la réalisation d'un emballage à plus haute densité. Pour ce faire, l'interconnexion 3D par le biais de la technologie Through Silicon Via (TSV) est la technologie la plus urgente.

Comme interconnexion, la galvanoplastie de cuivre a été utilisée. La vitesse de placage, cependant, est assez lente et ce n'était pas un moyen réaliste d'interconnexion.

L'utilisation novatrice de composite métal / polymère peut être un nouveau candidat pour le remplissage à travers des Through Silicon Via (TSV) destiné à LSI tridimensionnel (3D), car il fournit un processus de fabrication beaucoup plus rapide et peu coûteux comparé à l'électrodéposition de cuivre. Dans cette étude, quelques méthodes de traitement ont été testées afin d'optimiser le remplissage de TSV avec un composite Ag / polypyrrrole.

L'utilisation de ces techniques peut contribuer à améliorer le rendement pour la production de LSI 3D avec des composites métal / polymère.

1.はじめに

ICやLSIの更なる集積化は、チップを垂直に積み重ねることによって実現することができ、これを3D-ICまたは3D-LSIと呼ぶ^[1]。3D-ICにおける重要な技術の一つは縦型貫通配線(TSV)であり、電気配線がICチップ間の垂直方向に設けられ、集積回路の構成要素として機能する^[2]。従来の方法と比較したTSVの利点は、その小型・高密度であり、ワイヤボンディングおよびフリップチップスタッキングよりもエネルギー効率とスペース効率に優れている^[3]。さらに、配線を短く、回路内の寄生容量を削減できることにより、信号伝送遅

延と消費電力を低減させ、デバイスのスイッチング速度を向上することができる^[2,4]。TSVを形成するには、さまざまなステップが必要となる。まず、反応性イオンエッチング等の深掘り加工技術により垂直孔を形成する。次に、熱酸化または蒸着によってSiO₂などの絶縁層を形成する^[5]。現在では、TSVには導電性を持たせるため、コストと性能の面で電気めっきによる銅が使用されている^[6-9]。また、CuがSi基板中に拡散するのを防止するために、TiNのような拡散障壁が必要であり、絶縁層の上に蒸着によって形成される^[10]。Cuの電気めっきでは、空孔のない充填をもたらすために、連続的な下地層の被覆

および最適なめっき条件を必要とする^[11,12]。下地層は通常蒸着によって形成されるが、高アスペクト比を有する深いTSVではその形成は困難となり、縦孔の上から下まで良好な寸法および電気特性を有する層を得ることは非常に困難である^[13]。また、TSVの全形成工程を完了するのに1時間以上かかる^[14]とされている。Cuの電気めっきに影響を与えるその他の問題として、信頼性が挙げられる。Si(CTE ~3ppm/K)とCu(CTE ~17ppm/K)との間の熱膨張係数(CTE)の大きな差異は、両者の界面に高い引っ張り応力を誘発し、チップ層と基板との間に亀裂および欠陥を引き起こす^[14,15]。また、CuはSiや

SiO₂中に急速に拡散するため、LSIの電気的性能にとって不利に作用する。CuをSiから絶縁するためのCuとSiとの間の障壁層の界面では、連続的な拡散が起こり、最終的にCuが基板へと浸透し、相互接続としての信頼性が懸念される^[16]。そのため、溶融はんだ^[17]、カーボンナノチューブ^[18,19]、NiWの合金電気メッキ^[20]、無電解Ni^[21]、ポリマー^[22]、または金属ペースト^[23]などを含むTSV充填のための他の代替手法が検討されている。

溶液光化学的手法により作製する導電性ポリマー/金属複合材料を用いることで、プロセス工程を大幅に短縮し、製造プロセスをはるかに短時間かつ低コストにすることができる。複合材料は、導電性ポリピロール(PPy)とAgナノ粒子からなる。電気めっきやCVD^[24]などの金属形成技術よりも10倍大きい40nm/sの形成速度で光化学反応によって合成されるため、充填時間は10分までに短縮することができる。この複合材料は、市販の導電性ポリマーよりも2桁高い導電率 $2 \times 10^4 \Omega^{-1} \cdot \text{cm}^{-1}$ を有する。さらに、ナノサイズの複合材料の粒子を分散させた液体の状態でも得ることができた^[25]。この銅の溶液光化学プロセスによる導電性ポリマー/金属複合材料では、電気めっきの場合に必要なシード層を省くことができる。これまで、複合材料は充填プロセスには適用されていない。そのため、充填プロセス、電気的特性および界面構造を研究する必要がある。

本記事では、溶液光化学的手法により様々な条件下で作製した金属銀と導電性高分子であるポリピロールからなる複合材料を用いてシリコンチップの縦孔に充填した結果について紹介する^[26]。また、縦孔に充填した複合材料の電気的特性を新規に設計したデバイス構造によって評価を行った。さらに、充填した複合材料とシリコン基板との間の界面構造について、障壁特性および密着性の点で明

らかにした^[27]。

2. 実験方法

2.1 サンプル調製

導電性ポリマー/金属複合材としてのポリピロール/銀の充填は、図1に示すように2通りの方法で行った。①溶液注入後に光照射：シリコンに設けた縦孔へ反応液を注入し、光化学反応のための紫外線を照射し、複合材料を形成、あるいは②光照射した溶液を注入：光化学反応により得られる複合材料の分散溶液を注入した。

硝酸銀(AgNO₃)あるいは四フッ化ホウ酸銀(AgBF₄)とピロール(C₄H₅N)を試薬として用い、NO₃またはBF₄でドーブされたポリピロールと銀からなる導電性ポリマー/金属複合材料を得た。試薬をアセトニトリル(CH₃CN; 関東化学、試薬グレード)中で混合した。ピロールおよび銀塩の濃度は、それぞれ0.2~0.5および1.0mol/dm³とした。

縦孔(直径20,50,80 μm、深さ120,150,200 μm)を有するシリコンチップは3次元半導体研究センターにおいて作製した。垂直孔を含むシリコンチップの表面を絶縁層としてのシリコン酸化層(膜厚100nm)で被覆した。チップの裏側にダイシングテープ(ADTEX UHP-1005M3)を貼り付け、溶液を縦孔内に保持した。

①溶液注入後に光照射：

上記の垂直孔を有するシリコンチップ上に混合溶液を滴下した。その後、チップの周囲圧力を0.09MPaまで約1分で減圧した後、空気に戻した。チップ表面上に残った溶液をシリコンゴム製のスキージを用いて除去した。シリコンチップ上の混合溶液に紫外光を50mW・cm⁻²の光量で2分間照射して固化体を得た。紫外光照射のために、水銀ランプ(Ushio SXUI502HQ-STC、輝線：436,405、および365nm波長)を使用した。

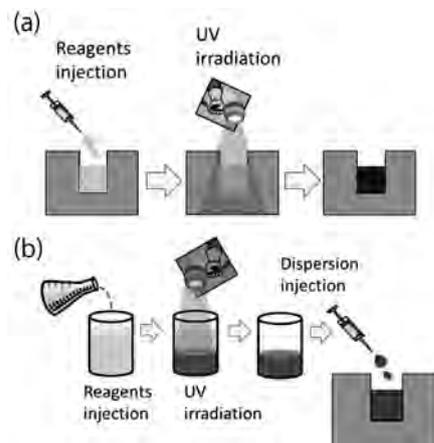


図1 充填工程の模式図：(a)シリコン基板に設けた縦孔に溶液を注入した後、紫外光を照射し、ポリピロール/銀複合材料を合成、および(b)光照射により複合材料が分散した溶液を調製後、縦孔に注入

②光照射した溶液を注入：

混合溶液を光学ガラス製の直方体状の容器に入れ、容器の透明な側壁を通して紫外光を15分間照射した。紫外光の方向の混合溶液の厚さは2mmとした。光強度は60mW・cm⁻²に設定した。縦孔を設けたシリコンチップを反応した溶液を浸漬した。縦孔への最適な充填率を見出すために、3種類の充填方法を試験した：(a)溶液に浸漬する(基準)または(b)溶液に浸漬した後に超音波(42kHz)で処理(US)、(c)溶液に浸漬した後に減圧(0.09MPa)処理を行った(VAC)。縦孔より上部に残存する溶液を除去するため、(a)N₂ガスをチップ表面に吹きつける、あるいは(b)ブレードで除去、(c)あらかじめ感光性ドライフィルムマスク(日立化成、Photec RD-1225、厚さ25 μm)を塗布したチップを用いた。その後、縦孔内に充填した溶液を自然乾燥させ、固化させた。

自然酸化皮膜を有するSi(100)またはSi酸化物(SiO_x)またはSi酸窒化物(SiON-1およびSiON-2)層で被覆した4種類のシリコン基板を用いた。Si酸化物層で被覆したシリコン基板は、熱酸化(1050℃で3時間10分)により200nmの厚さまでSiO_xを基板上に堆積させた後、エッチング溶液(HF/NH₄F = 1:6)に所定の時間(0,30,60,90秒)浸漬

し、所望のSiO_x厚さ(10.50、および100nm)に調整した。Si酸窒化物で被覆したシリコン基板は、物理蒸着法により、SiON-1(Ar28sccm、N₂10sccm、DC330W、0.511Pa)およびSiON-2(Ar18sccm、N₂10sccm、DC330W、0.379Pa)として作製した。SiO_xの場合と同様に、作製したSiON層の厚さは、10.50、および100nmに調整した。その後、基板を分散液中に浸漬した。分散液からサンプルを取り出した後、大気環境で乾燥させた。

2.2 サンプルの観察

光学顕微鏡(Nikon ECLIPSE ME600)とレーザー顕微鏡(Keyence VK-9700)を用いてチップ表面を観察した。また、得られた複合体の形態は、走査型電子顕微鏡(SEM)(Hitachi S-4800,20kV)によって観察した。試料を集束イオンビーム(FIB; JEOL JEM-9320FIB,30kV)でエッチングし、エネルギー分散型X線分光法(EDX)、電子エネルギー損失分光法(EELS)、および選択領域電子回折(SAED)を備えた透過電子顕微鏡(TEM; JEOL 2100-F,200kV及びFEI Technai G2 F30,300kV)により微細構造及び化学組成を観察した。

2.3 電気特性評価

TSV電極の電気的特性は、導電性材料で充填した縦孔を電氣的に直列に接続するようにし、チップの同一平面上の2つの電極間のI-V特性を分析することで評価される場合が多い[28]。本研究では、充填後のチップ裏面からダイシングテープを剥がし、厚

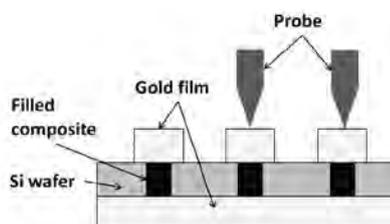


図2 電気特性評価方法の模式図

さ100 nmの金属を蒸着した。チップ表面に円形の開口部(直径200 μm)を有するステンレスメッシュを載せた後、厚さ100 nm程度に金属を蒸着した(図2)。半導体特性評価装置(Agilent Technologies、B1500A)を用いてI-V測定を行った。

2.4 密着性試験

複合材料の基板への密着性は、日本工業規格(JIS)Z1522に準拠した剥離試験により、バリア層1種類あたり6サンプルについて評価した。サンプル作製から24時間後に、セロファンテープ(幅15mm、ニチバンLP-15)をサンプルの表面全体に貼り付け、垂直方向に0.5秒以内に剥がした。

3. 結果と考察

3.1 充填状態

光学顕微鏡とレーザー顕微鏡を用いたチップ表面の観察結果の一例を図3に示す。縦孔に充填する前の表面と底面との間の高低差に相当する深さは200 μmと見積もられた。複合材料の充填後、その深さはほぼゼロとなり、すなわち縦孔が複合材料で充填

されたことを意味する。本研究では、充填プロセスを3~5回繰り返すことで、全ての垂直孔を10分以内に充填することができた。

様々な作製条件下における縦孔への複合材料の充填率を図4に示す。挿入図は、縦孔に充填されたポリピロール/銀複合材料の断面の一例である。充填率はこのような断面から見積もった。縦孔内に残存する気泡を除去することによって完全に充填された縦孔を得るためには、超音波や減圧による処理といった外的力が必要であった。気泡の除去については、減圧処理の方が超音波に比べて優れていた。溶液が乾燥して固化する際の体積の収縮度合いが大きいことから、縦孔を完全に充填するためには、縦孔の上部に過剰な溶液を載せることが重要である。この過剰な溶液に由来する複合材料は、マスキング、スクラッチング、およびエアブローの3つの方法により除去することができた。充填結果から、マスキングおよびスクラッチングは有効であったが、エアブローは不十分であることが分かった。以上より、マスキング+減圧とスクラッチング+減圧の組み合わせにおいて、充填率を90%以上にすることができた。しかしながら、スクラッチング+

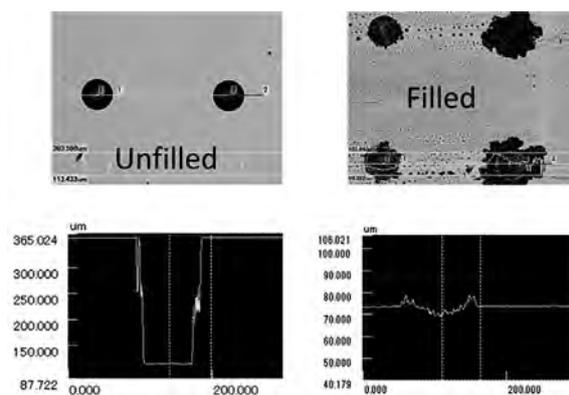


図3 シリコンチップに設けた縦孔に複合材料を充填する前(左列)と後(右列)の光学顕微鏡像(上段)とレーザー顕微鏡像(下段)

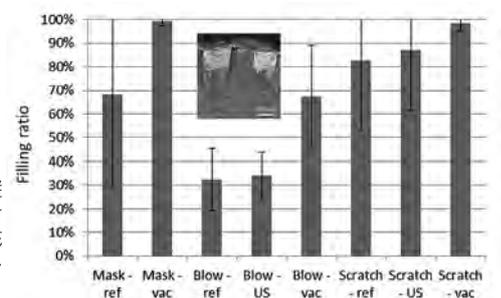


図4 シリコンチップに設けた縦孔内への様々な作製条件下におけるポリピロール/銀複合材料の充填率、挿入図は複合材料で充填した断面像を示す

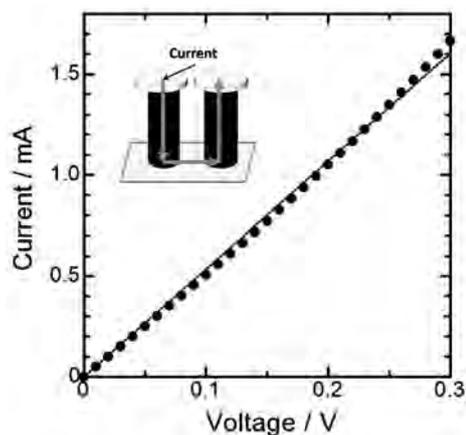


図5 シリコンチップに設けた縦孔に充填した複合材料のI-V曲線、挿入図は充填された複合材料の模式図

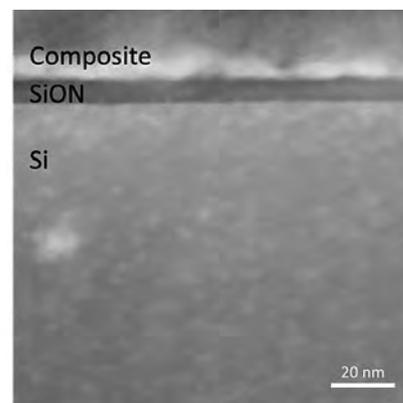
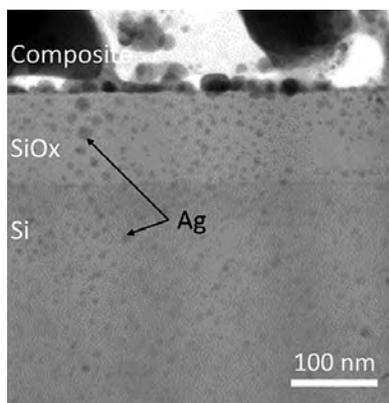


図6 異なる中間挿入層を有するシリコン基板とポリピロール / 銀複合材料との界面近傍の断面図

減圧による方法では、一度充填された複合材料の一部が、縦孔内から除去されてしまい、縦孔の大部分において2~4 μm の深いピットが生成してしまう傾向が見られた。上記二つの方法においても、縦孔内に空孔が残存している可能性はあるが、溶液や充填の条件を変更することで改善することが可能である。

3.2 電気特性

シリコンチップ内の縦孔に複合材料を充填して形成した2つの電極の間に電気信号を印加することでI-V曲線を得た。I-V曲線の一例を図5に示す。電圧に対して電流が線形に変化していることから、複合材料がオーミック特性を有していることが分かる。また、I-V曲線における直線部分の傾きから、電気抵抗を算出した。また、本研究における導電経路のモデルに基づいて複合材料の導電率を見積もった。このモデルは電気抵抗が十分に高いシリコンチップ内に充填された複合材料からなる2つの導電性の円筒がチップ底面の金属を介して直列に接続されたと仮定している。なお、円筒の直径を80 μm 、高さを200 μm とし、金属は垂直孔に埋め込まれた複合体の抵抗と比較して無視できるほどに小さいとした。複合材料の導電率は、多くの測定点で $10^{-1} \Omega^{-1} \cdot \text{cm}^{-1}$ のオーダーであり、本研究では最高値で $3.3 \Omega^{-1} \cdot \text{cm}^{-1}$ であった。この値は、バルク形状の複合材料

で観測された値 $2 \times 10^4 \Omega^{-1} \cdot \text{cm}^{-1}$ ^[4]よりも小さい。測定点間の導電率の大きな差異は、複合材料の充填構造および複合材料の微細構造の不均一性に起因していることが推測された。前者については、充填率が100%に達していないことに加え、空隙が一樣に存在していなかった。したがって、それぞれの縦孔の充填度を非破壊かつ簡便に評価できる方法が望まれる。また、後者については、複合材料の一次粒径および組成の分布が、バルクのものとは異なる可能性が考えられる。

3.3 障壁(バリアー)特性

ポリピロール / 銀複合材料とシリコンウェハとの間に異なる中間層を挿入した場合の界面付近の断面を図6に示す。自然酸化膜を含むシリコン基板上に複合材料を堆積させた場合、複合材料中の銀クラスターに由来して、シリコン基板の中へ銀の拡散が起こることが分かった。なお、複合材料中の銀クラスターは、回転双晶から生じる単結晶または多結晶構造を有し、その大きさは数ナノメートルから数十マイクロメートルの間であった。シリコン酸化物層を介して銀が拡散する間にAg粒子は2~6nmのサイズへと細くなった。Agの偏析はシリコン基板内の転位の周囲に観察された。また、ポリピロール / 銀複合材料は、Si基板との界面に自然酸化物の厚さより5倍大きいSi酸化物を形成することも分かった。他方、自然酸

化物を有するSi基板、または SiO_x 、 SiON 障壁で被覆されたSi基板についても、複合材料からシリコン基板への炭素の拡散は観察されなかった。なお、バリア層の厚さが増加するにつれて、複合材料からSi中に拡散するAgの量は減少するが、 SiO_2 では厚さ100nmにおいても拡散が観測された。一方、窒素を含む SiON-1 および SiON-2 では、10nmの厚さでも、Si基板中へのAgの拡散を完全に阻止することができた。

SiO_x 、 SiON-1 および SiON-2 層の剥離強度試験の結果から、5%の酸素を含む SiON-1 は粗い表面を得ることもできることから、TSVのバリア層材料として適している一方、 SiON-2 は滑らかな表面であることから、密着性が不十分であった。

以上より、シリコン基板と複合材料間の界面構造を明らかにするとともに、良好な密着性および拡散バリア特性を有するバリア層を確立することができた。

4. おわりに

溶液光化学的手法により作製した導電性高分子であるポリピロールと金属銀との複合材料について、以下のことを明らかにした。

1) シリコンチップの縦孔(直径20~80 μm 、深さ120~200 μm)を複合材料で10分以内に充填することができた。

2) 電氣的測定のための新しいデバイス構造を用いて、シリコンチップの縦孔内に充填した複合材料の電気抵抗の評価手順を確立した。得られた導電率は $\sim 3.3 \Omega^{-1} \cdot \text{cm}^{-1}$ であった。

3) 厚さ5nmのシリコン酸窒化物層により、複合材料からシリコン基板中への銀の拡散を抑制することができた。さらに、この拡散抑制層は複合材料と強く密着した。

以上より、この複合材料とその合成方法はTSVへの適用が期待される。

謝辞

本研究の一部は日本学術振興会(JSPS)および科学技術振興機構(JST)の助成により行われた。

参考文献

[1] K. Takahashi, H. Terao, Y. Tomita, Y. Yamaji, M. Hoshino, T. Saito, T. Morifuji, M. Sunohara, and M. Bonkohara, "Current Status of Research and Development for 3D Chip Stack Technology," *Jpn. J. Appl. Phys.*, Part 1, Vol. 40, No. 4B, pp. 3032-3037, Apr. 2001.

[2] T. Yoshinaga and M. Nomura, "Trends in R&D in TSV Technology for 3D LSI Packaging," *Sci. Technol. Trends*, No. 37, pp. 26-39, Oct. 2010.

[3] M. Motoyoshi, *Proc. IEEE* 97, 43 (2009).

[4] X. Gagnard and T. Mourier, *Microelectron. Eng.* 87, 470 (2010).

[5] S. Sage, P. John, S. Dobritz, J. Börnge, J. Vitiello, and M. Böttcher, *Microelectron. Eng.* 107, 61 (2013).

[6] K. Kondo, T. Yonezawa, D. Mikami, T. Okubo, Y. Taguchi, K. Takahashi, and D. P. Barke, *J. Electrochem. Soc.* 152, H173 (2005).

[7] T.-H. Tsai and J.-H. Huang, *Microelectron. Eng.* 88, 195 (2011).

[8] N. T. Nguyen, E. Boellaard, N. P. Pham, V. G. Kutchoukov, G. Craciun, and P. M. Sarro, *J. Micromech.*

Microeng. 12, 395 (2002).

[9] W. C. Gau, T. C. Chang, Y. S. Lin, J. C. Hu, L. J. Chen, C. Y. Chang, and C. L. Cheng, *J. Vac. Sci. Technol.* A 18, 656 (2000).

[10] T. N. Arunagiri, Y. Zhang, O. Chyan, M. El-Bouanani, M. J. Kim, K. H. Chen, C. T. Wu, and L. C. Chen, *Appl. Phys. Lett.* 86, 083104 (2005).

[11] J. Oh, J. Lee, and C. Lee, *Mater. Chem. Phys.* 73, 227 (2002).

[12] M. W. Lane, C. E. Murray, F. R. McFeely, P. M. Vereecken, and R. Rosenberg, *Appl. Phys. Lett.* 83, 2330 (2003).

[13] M. W. Newman, S. Muthukumar, M. Schuelein, T. Dambrauskas, P. A. Dunaway, J. M. Jordan, S. Kulkarni, C. D. Linde, T. A. Opheim, R. A. Stingel, W. Worwag, L. A. Topic, and J. M. Swan, *Proc. Electronic Components and Technology Conf.*, 2006, p. 394.

[14] C. Okoro, R. Labie, K. Vanstreels, A. Franquet, M. Gonzalez, B. Vandeveld, E. Beyne, D. Vandepitte, and B. Verlinden, *J. Mater. Sci.* 46, 3868 (2011).

[15] K. Croes, V. O. Cherman, L. Yunlong, L. Zhao, Y. Barbarin, J. De Messemaker, Y. Civalé, D. Velenis, M. Stucchi, T. Kauerauf, A. Redolfi, B. Dimcic, A. Ivankovic, G. Van der Plas, I. De Wolf, G. Beyer, B. Swinnen, Z. Tokei, and E. Beyne, *Proc. IEEE Int. Symp. Physical and Failure Analysis of Integrated Circuits*, 2012, p. 1.

[16] C. Lee and Y.-L. Kuo, *JOM* 59, 44 (2007).

[17] Y.-K. Ko, H. T. Fujii, Y. S. Sato, C.-W. Lee, and S. Yoo, *Microelectron. Eng.* 89, 62 (2012).

[18] T. Wang, K. Jeppson, L. Ye, and J. Liu, *Small* 7, 2313 (2011).

[19] N. Chiodarelli, S. Masahito, Y. Kashiwagi, Y. Li, K. Arstila, O. Richard, D. J. Cott, M. Heyns, S. De Gendt, G. Groeseneken, and P. M. Vereecken, *Nanotechnology* 22, 085302 (2011).

[20] H. W. Wang, H.-M. Huang,

and W. P. Dow, 224th ECS Meet., 2013, E7-2061.

[21] M. Kawano, N. Takahashi, M. Komuro, and S. Matsui, *Proc. Electronic Components and Technology Conf.*, 2010, p. 1094.

[22] P. Chausse, M. Bouchoucha, D. Henry, N. Sillon, and L. L. Chapelon, *Proc. Electronics Packaging Technology Conf.*, 2009, p. 790.

[23] Y.-H. Ham, D.-P. Kim, K.-S. Park, Y.-S. Jeong, H.-J. Yun, K.-H. Baek, K.-H. Kwon, K. Lee, and L.-M. Do, *Thin Solid Films* 519, 6727 (2011).

[24] J. Kawakita and T. Chikyow, "Fast formation of conductive material by simultaneous chemical process for infilling Through-Silicon Via," *Jpn. J. Appl. Phys.*, Vol. 51, No. 6, pp. 06FG11-1, Jun. 2012.

[25] J. Kawakita, Y. H. Shinoda, T. Shuto and T. Chikyow, "Conductive polymer/metal composites for interconnect of flexible devices," *Jpn. J. Appl. Phys.*, Vol. 54, 06FJ12-1, 2015.

[26] B. Horvath, J. Kawakita and T. Chikyow, "Through silicon via filling methods with metal/polymer composite for three-dimensional LSI," *Jpn. J. Appl. Phys.*, Vol. 53, No. 6, pp. 06JH01-1, Jun. 2014.

[27] B. Horvath, J. Kawakita and T. Chikyow, "Diffusion barrier and adhesion properties of SiOxNy and SiOx layers between Ag/polypyrrole composites and Si substrates" *ACS Appl. Mater. Interfaces*, Vol. 6, No. 12, pp. 9201-9206, May 2014.

[28] Semiconductor product technology standardization Technical Committee integrated circuit product technical subcommittee, "Si-IP the assumed physical properties Specifications 1 draft draft," *Electronics and Information Technology Industries Association* http://semicon.jeita.or.jp/hp/spt/sc_pg/3dic/3dic_draft_20121024.pdf

Technologies d'emballage compatibles avec l'intégration 3D des puces LSI

3次元LSIチップ積層に対応したパッケージ技術

青柳 昌宏 / Masahiro AOYAGI



En raison des progrès de la vitesse d'exploitation et de la densité d'intégration des puces LSI, des systèmes électroniques numériques à haute performance ont été réalisés.

L'emballage LSI et les interconnexions haute performance sont nécessaires pour réaliser un système informatique utilisant une telle puce LSI.

Récemment, le système LSI intégré 3D, qui consiste en des puces LSI empilées 3D avec des Through Silicon Via, des condensateurs de découplage intégrés au sein d'un interposeur monté sur une carte de circuit imprimé, a attiré l'attention pour la réalisation d'un système avancé de haute performance. Dans cette revue, nous discutons de ce LSI empilé 3D du point de vue de la puissance et de l'intégrité du signal, du condensateur de découplage intégré dans l'interposeur et de la gestion thermique.

1. はじめに

近年、高度情報通信ネットワークの整備に加えて、ユビキタス社会の急速な進展に伴い、パソコン・情報家電・携帯電話・携帯端末・デジカメ等の情報通信機器に対して、高性能化・多機能化・小型軽量化の要求が急激に増大してきている。その要求に答える技術として、パッケージ内にシステムを収めるシステム・イン・パッケージ SiP (System in Package) と呼ばれるシステム集積手法が、広く普及している。近年は、LSIチップの基板内に表から裏に貫通する縦型貫通配線 (Through-Si-Via: TSV) を形成することにより3次元的にLSIチップを積層して接続する技術を使った究極のSiP技術とも言える3次元LSIチップ積層技術は、ヘテロジニア

スな複数のLSIチップを集積して、超小型高密度化、高速大容量化、低消費電力化等の多様な高性能化を達成する技術として期待が高まっている。LSIチップ積層技術をITシステムに応用した場合、機能回路ブロックの多重化による並列処理アーキテクチャーの採用で演算処理能力の向上が期待できる。

2. 3次元LSIチップ積層に対応したパッケージ技術

産総研では、次世代の高密度ハードウェアシステム集積技術としての3次元LSIチップ積層技術の確立のため、薄型LSIチップの積層化に対応した、積層チップ間高密度接続技術、熱拡散・放熱技術、パッケージ技術、不良解析技術、信頼性・歩留まり保障

検査技術等の各技術について、基本技術からステップを踏んで研究開発に取り組んでいる。特に、パッケージ技術の一部として、電源供給性能を向上させた受動素子内蔵インターポーザ技術の開発を進めてきた。

LSI内の大量のトランジスタが同時スイッチングする際に発生する急峻な電流変化 di/dt は、瞬間的な電源電圧の低下 V_{drop} の原因となり、 V_{drop} は電源供給経路における寄生インダクタンス L_s を用いて $V_{drop} = L_s \cdot (di/dt)$ で表せる。現状のLSIでは、低電圧化・高周波化に伴って、 di/dt の増加により、 V_{drop} の値は増加する傾向にある。LSIチップ積層技術では、図1のように積層化された多数のLSIチップへ一括して大電流を電源供給する必要があり、単一LSIチップへ電源供給する場合に

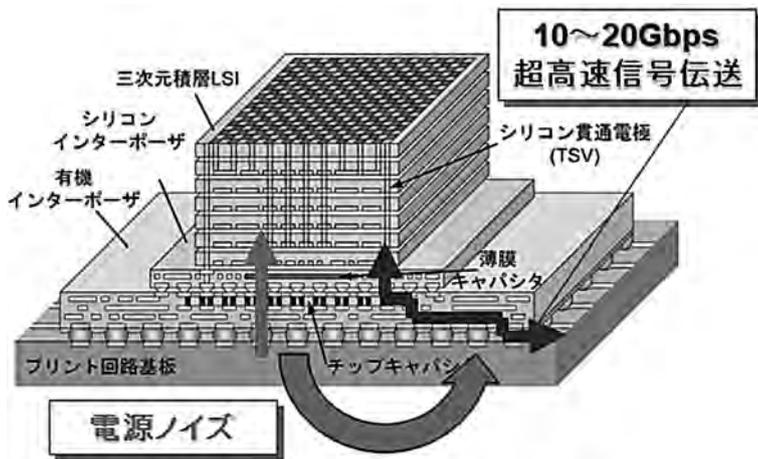


図1 3次元LSIチップ積層に対応した受動素子内蔵型インターポザ

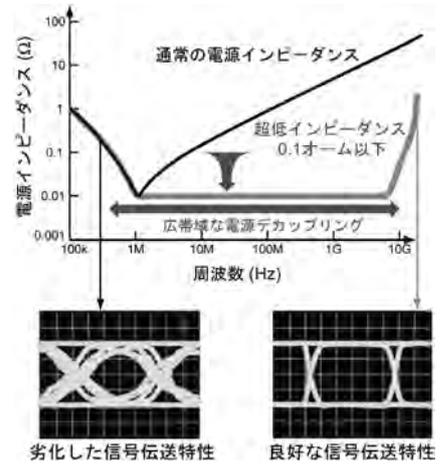


図2 電源ネットワークに要求されるインピーダンス特性

比べて、電流変化 di/dt が大きくなるため、電源電圧の安定化に向けて、広い周波数範囲で低インピーダンスとなる受動素子内蔵型インターポザ技術による電源供給ネットワークの構築が必要である。

図2に示すように電源供給経路の寄生インダクタンスは、高周波領域のインピーダンス特性に反映され、電源供給経路に挿入されるデカップリングキャパシタは、低周波領域のインピーダンス特性に反映している。高周波ノイズの抑制には、キャパシタにより低インピーダンス化される周波数を高い領域まで上げていく必要がある。具体的には、キャパシタ周辺配線の寄生インダクタンス低減が有効である。

そのような要求性能を満足させるためには、3次元LSIチップ積層に対応した受動素子内蔵型インターポザの研究開発が必要であり、産総研では、基盤的な測定要素技術として電源供給系のインピーダンス測定評価に向けた広帯域・低インピーダンス測定技術の研究開発を先行して進めて

きた。

3. 受動素子内蔵型インターポザの評価技術

測定評価技術の研究開発において、測定評価システムの性能評価に用いるための評価用TEGとして、広い測定周波数範囲をカバーさせるため、キャパシタを多数個搭載して広い周波数範囲で低インピーダンス特性を示す受動素子内蔵型インターポザを用いた。図3に示すように、チップキャパシタ部品内蔵TEGとして、有機絶縁層内にチップキャパシタを埋め込んだ有機系インターポザを試作し、キャパシタ部品表面実装TEGとして、従来のチップキャパシタを表面実装した有機系インターポザを設計試作して用いた。また、薄膜キャパシタ内蔵TEGとして、高誘電率無機絶縁材料を用いて薄膜キャパシタを形成した無機系インターポザを設計試作して用いた。なお、測定評価結果と電磁界シミュレーションによる解析結果を比較するため、適正な精

度のシミュレーションモデルとなるように比較的単純なキャパシタ搭載形態を採用した。

評価方法は、図4に示すような、10Hz～40MHzの周波数領域でインピーダンス測定が可能なインピーダンスアナライザ P4800K (Ultimetrix) と10MHz～50GHzの周波数領域で複素インピーダンスの測定が可能なベクトルネットワークアナライザ N5245A (Agilent) を組み合わせて、10Hz～40GHzの全周波数領域で2ポートインピーダンス測定を可能とした計測評価システムを用いた。2種の装置は、同じ測定方式(2ポート法)のため、個別に校正を行った後、周波数レンジに応じて同軸スイッチで装置を切り替えることで、全周波数領域に対するインピーダンス特性の取得が一度の測定で可能となる。図5に示すような2個の高周波コンタクトプローブを用いた2ポート測定により、端子3から端子8への挿入損失 S_{21} を測定し、その結果から Z_{21} インピーダンスを評価した。

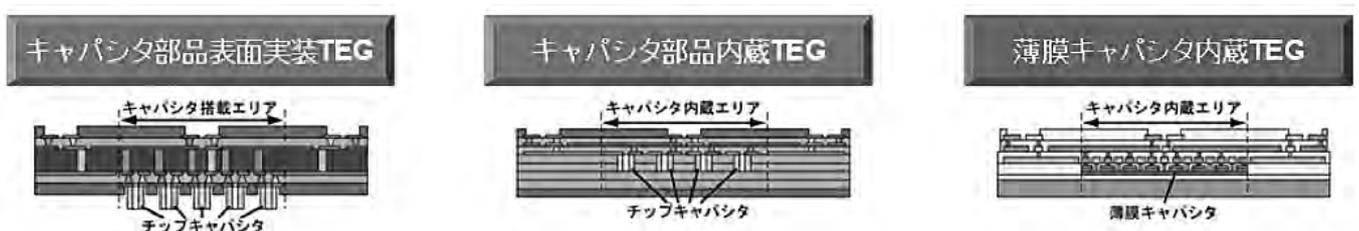


図3 3種類のキャパシタ実装方式による電源インピーダンス評価 TEG

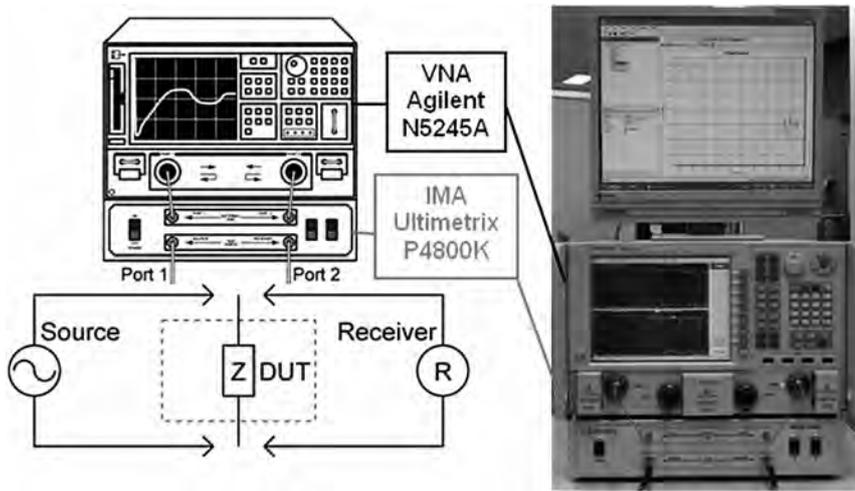


図4 超広帯域インピーダンス測定評価システム

3種類の評価 TEG に対する Z21 インピーダンス測定結果を図6に示す。縦軸は Z21 インピーダンス、横軸は周波数である。キャパシタ実装方法の違いで、電源ネットワークのインピーダンス特性が異なっており、チップキャパシタ部品表面実装 TEG、チップキャパシタ部品内蔵 TEG、薄膜キャパシタ内蔵 TEG の順に電源ネットワークとキャパシタの接続経路におけるインダクタンス成分の低減が大きくなり、より高い周波数まで低インピーダンスとなった。また、こうした測定技術の構築により、電磁界シミュレーションによる Z21 インピーダンスの解析結果との比較が可能となり、設計の効率化が図れた。

4. まとめ

3次元 LSI チップ積層に対応した電源変動を安定化させるインターポーザ技術の研究開発の一環として、最大 40GHz まで広い周波数範囲に

おいて、シームレスなインピーダンス測定が可能な、広帯域・低インピーダンス測定技術の研究開発を進め、この測定システムを有効に活用することで、電源供給性能を向上させた受動素子内蔵型インターポーザ技術の研究開発を着実に進展させることができた。

参考文献

- [1]I.Novak,J.R.Miller, "Frequency-Domain Characterization of Power Distribution Networks", pp.123-158,Artech House,2007
- [2]K.Kikuchi,C.Ueda,K.Takemura,O.Shimada,T.Gomyo,Y.Takeuchi,T.Ookubo,K.Baba,M.Aoyagi,T.Sudo,K.Otsuka, "Low-Impedance Evaluation of Power Distribution Network for Decoupling Capacitor Embedded Interposers of 3-D Integrated LSI System", Proceedings of 60th Electronic Components

- and Technology Conference (ECTC2010),pp.1455-1460,2010
- [3]K.Kikuchi,T.Gomyo,T.Ookubo,M.Aoyagi,T.Sudo,K.Otsuka, "Wideband Ultralow Power Distribution Network Impedance Evaluation of Decoupling Capacitor Embedded Interposers for 3-D Integrated LSI System", Proceedings of 63th Electronic Components and Technology Conference (ECTC2013),pp.1190-1196,2013
- [4]K.Kikuchi,M.Aoyagi,M.Ujiie,S.Takayama, "Ultrawideband Ultralow PDN Impedance of Decoupling Capacitor Embedded Interposers Using Narrow Gap Chip Parts Mounting Technology for 3-D Integrated LSI System", Proceedings of 3D-IC Conference (3DIC2014),O17,2014

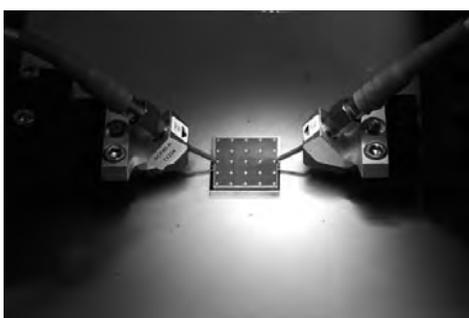


図5 2ポート法による Z21 インピーダンス測定実験の様子

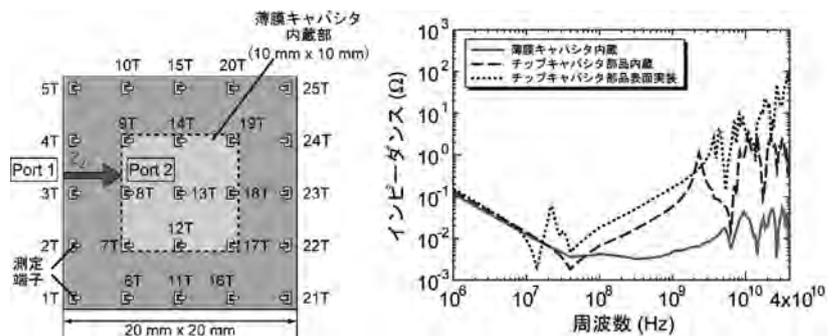


図6 キャパシタ内蔵 TEG の Z21 インピーダンス測定結果



政治家の話をする子供…

~ *Les enfants parlent de politique.....* ~

日本には、政治に興味を持っている子供がどのくらいいるだろうか…

私自身もニュースで見る出来事や問題、叩かれている政治家の名前くらいしか直ぐに出てきません。今回のフランス大統領選挙で、自分が如何に無知であるかを子供に思い知らされました。我家の半分フランス人の息子は、選挙時まだ10歳でした。彼は、毎日テレビで候補者の演説を聞いては純フランス人の父親と熱い討論を繰り返していたのでした。私には、彼らの話に入る知識も語学力もありません。政治の専門用語など、プロの通訳や翻訳家でも難しいに決まっていると、自分を宥めながら耳を傾けて想像し、知っている内容を探しながら何とか話に加わりたくて悔しながらも必死でした(笑)。因みに我家のフランス人は、自分の親や兄弟、親戚達と選挙に付いて語り合いますが、誰に投票するかは絶対に言いません。お互い分かっている名前を出さないのが習慣のようです。パリ生まれの義父と夫の兄弟、田舎育ちの義母の間では、永遠に考えが違う感じ…と私なりに解釈しています。そして知らない間に自分の息子が選挙や候補者、政治について意見を言うことに驚き、私だけ外国人なんだなあと改めて思いました。ただなんとなく聞いているだけの私に突然、「日本の政治はどのなの？日本人なら、大統領に誰を選ぶ？」と話し掛けられるのが嫌で嫌で仕方ありませんでした。息子の学校でも選挙の話で盛り上がっていたようで、我が家の夕飯の席では、誰々の家ではパパがマクロンでママがルペンだから毎日喧嘩をしているという話が出たり、ある候補者の家族のスキャンダルから家庭事情まで、あれこれと父子間の話題は尽きませんでした。まるで政治家がアイドルかと思える程の騒ぎでした。そんな話を同じ日に仏家族の日本人ママ友と話していたら、何処も同じで選挙権のない外国人はすっかり仲間外れだとのこと。

さて、日本はどうだっただろうか？

日本にいたころを思い出してみると、私の身近な所では、職場でも友達同士でも学校でも、政治の話などし

た記憶がありません。聞いた覚えすらありません。マスコミが騒ぎたてる出来事をただ観て聞いているだけと言っても過言ではありませんでした。そしてその出来事の中の流行語を、何でもない会話に使いながら面白おかしく話すのも日本特有の様な気がします。

テレビ番組でも日仏で違いがあります。フランスでは政治やニュースを話すテレビ局、スポーツ専門の局、アニメだけの局、音楽だけの局としっかり分かれているのに対し、日本ではどうでしょう。何か出来事や問題があると、どのチャンネルでも同じ出来事を騒ぎ立てます。あまりに朝から晩まで何処も彼処も同じ話題なので、自然に固有名詞や出来事くらいは頭に残ります。それが真実かどうかわからなくても…。

今年の夏休みに、私と息子は日本に滞在していました。宿題もせずに遊んでいる彼に私が怒り出すと、『お母さん、T田議員みたいに怖い顔してガミガミ怒らないでよ！』と言われました(汗)。半分フランス人の息子がテレビでちゃんとニュースを観ているとは思えないけれど、ちゃんと話題の議員さんの名前を覚えているのに驚いたのでした。

ストルク 佳代子

Projet d'allègement de l'équipement de transport au Japon et en France

日仏の輸送機器軽量化プロジェクト

岡田 健 / Okada Takeshi

1. はじめに

輸送機器の燃費改善を図るには自動車・航空機・鉄道車両などの構造材料の軽量化が最も効果的である。たとえば、乗用車の骨組みや屋根やドアの板は全て鋼だったが、鋼の中でも強度の高いハイテン鋼使用で屋根やドアの板厚が減り軽量化が計られた。さらに屋根、ドアがアルミや樹脂に、床板が炭素繊維強化熱可塑性樹脂にとマルチマテリアル化すれば軽量化できる。現在世界各国でこれら構造材料をマルチマテリアル化して軽量化する研究開発プロジェクトが進行中だ。

わが国では政府主導の3プロジェクトがある。文部科学省の「構造材料」プロジェクト、経済産業省の「革新的新構造材料」NEDO プロジェクト、内閣府の「革新的構造材料」プロジェクトである¹。米国ではエネルギー省 DOE が研究費の半額を負担した自動車軽量化プロジェクト (Multi-Material Lightweight Vehicles) が2012年から2015年まで推進された。更にエネルギー省主催の Annual Merit Review and Peer Evaluation Meeting が2015、2016年と開催され、現在は民間ベースの「明日への軽量化イノベーション」(lift:Lightweight Innovations For Tomorrow) が進行中だ^{2,3}。欧州では独自の自動車車体エンジニアリング16社による軽量化プロジェクト (Strategies in Car Body Engineering 2016) など、英の溶接・接合研究所 TWI :

The Welding Institute による軽量化プロジェクトがある⁴。仏では政府主導の IRTm2p: Institut de Recherche Technologique matériaux, métallurgie, procédés の構造材料開発プロジェクトが進行中である⁵。日仏のみが政府主導で大規模な輸送機器軽量化プロジェクトを推進している。

2. 成立と予算

NEDO の「革新的新構造材料」プロジェクトは経済産業省の10年プロジェクトの一つで、36企業、1独立法人、1大学が参加して新構造材料技術研究組合 ISMA が2013年10月25日に設立され、事業費予算は2016年度42億円である。フランスの IRT は国家戦略にもとづき8分野が選ばれ、国際競争力を高めるため市場・顧客志向で強力に学際的な研究開発が進められている。8分野の一つが材料、冶金、工程 m2p で Metz 市にある旧鉄鋼研究所 IRSID の施設を増強・拡大してイノベーション推進のために2013年1月16日に設立された。2020年までの7年間の研究予算は102M€ × 120 ¥/€ = 122.40億円 : 年平均17.5億円で政府・民間が半額ずつ負担している。研究施設予算としては2013-16年に政府負担で16M€ × 120 ¥/€ = 19.20億円が執行された。さらに現在の16研究プロジェクトに対するプロジェクト予算は民間負担で60M€ × 120 ¥/€ = 72億円

が計上されている。この予算に対して34の企業グループ、24の中小企業と7つの学術機関が協力している。IRTの他の7分野の中には m2p の顧客筋である鉄道システム IRT Railenium Valenciennes や 航空・宇宙 IRT Antoine de Saint Exupéry, Toulouse-Bordeaux などがある。これら8分野の IRT 全体には400の企業と機関が参加し、そのうち75%の300企業は各工業分野のリーダーであり、25%の100機関は国立科学研究所 CNRS や大学である。2020年までに25億€ × 120 ¥/€ = 3000億円の予算と何百という共同研究者によって研究・イノベーションが推進中だ⁵。

3. 概要・組織・管理

ISMA は理事長のもとに繊維、鉄鋼、非鉄金属、金属製品、機械、電気機器、輸送用機器、精密機器、その他製造の37企業と1国立研究所と1大学が組合員として参画し、理事長、専務理事、13名の理事が理事会を構成する。

IRTm2p の管理組織は役員会 CA と科学戦略・イノベーション会議 CSSI: Council of Scientific Strategy and Innovation からなる。役員会 CA は材料の化学を代表して AirLiquide 社、金属製造を代表して F.Mudry 氏、自動車を代表して PSA 社、防衛、航空、通信分野の Safran 社、Lorraine 地方の金属製造業協会 UIMM LBI、INNOVEAM 協会を代表して EDF 社の6社6名と公共の大

学・研究所から5名、さらに創立メンバーでない代表4名、それに地方代表、Lorraine 県代表、政府代表の計18名が役員会 CA メンバーである。この役員会 CA のもとに52社がパートナーとして属する。科学戦略・イノベーション会議 CSSI メンバーは15名からなり、年1回全体会議、その任期は3年となっている⁵。

4. これまでの活動結果と現在の活動状況

ISMA は設立以来4年、これまで3回の成果報告会が行われた。ISMA は構造材料の軽量化を目的として、それぞれの材料別に延性を保ちつつより高強度の革新的新構造材料を会員企業の研究室で研究開発している。これに比べて IRTm2p は Metz サイトに精錬、溶解、鍛造、熱処理、表面処理、検査測定の新設備を整備して、学術機関の研究を企業の開発に結び付け、更に材料・冶金・工程分野の技術者養成・習熟も受け持っていることが特徴である。

5. おわりに

2015年12月の国連気候変動枠組み条約締約国会議(COP21)で採択された新しい地球温暖化対策の国際ルール「パリ協定」を踏まえ、日本政府は温暖化ガス排出量を2030年度に2013年度比26%減とする目標を定め、部門別の削減目標も示した。自動車など運輸部門は2030年度に

2013年度比27.6%減である⁶。輸送機器の構造材料を軽量化することによって燃費改善を図るとともに温暖化ガスの排出量を大幅に削減できる。ISMA の目的は「自動車重量の30-50%の軽量化をはかる」ことだ。フランスの IRTm2p は構造材料の軽量化に特化するだけでなくより広く材料・冶金・工程の進化をめざしている。この活動の中で必ずや構造材料の軽量化に役立つ結果が出されると思われる。

最後に本報告を執筆するにあたり ISMA の岸輝雄理事長、IRTm2p の Francois Mudry プレジデントには大変お世話になった。2016年6月12日にパリの東側郊外の Mudry 邸を訪ねて、IRTm2p の説明を受けた。心からの謝意を表したい。

引用文献

- [1] 岸輝雄、ふえらむ Vol.20 (2015) No.6 227 ページ
- [2] Adam Powell, 私信、<http://lift.technology> 他 2016/11/09
- [3] 秋宗淑雄、海外動向調査報告 米国 2016/01/23 革新的新構造材料等研究開発「平成28年度成果報告会」
- [4] 兵藤知明、海外動向調査報告 欧州 2016/01/23 革新的新構造材料等研究開発「平成28年度成果報告会」
- [5] Francois Mudry, 私信、<http://www.irt-m2p.eu/fr> 他 2016/06/12
- [6] 日本経済新聞3面 地球温暖化対策計画2017/01/23

Rapport de la conférence commémorative du professeur Riichi Miyake et de la fête de reconnaissance

三宅理一先生記念講演会・謝恩会報告

中島 智章 / Tomoaki NAKASHIMA

さる7月29日土曜日14時より建築倉庫ミュージアムにて三宅理一先生の藤女子大学定年退職を一つの契機として記念講演会・謝恩会が行われた。三宅先生は芝浦工業大学、慶應義塾大学、藤女子大学で教鞭を執ってこられ、これら3学のOB・OGが集結して盛会となった。本会においても、副会長、建築都市計画委員長などを歴任し、本誌第47巻第1号から第**巻第2号まで編集委員長を務められた。

記念行事は2部構成で、最初に記念講演「文化の対称性・相同性をめぐって」、次に三宅先生、加藤耕一氏（東京大学工学部建築学科）、江口陽子氏（International Consulting Associates）による鼎談「境界線上の人と建築」が行われた。また、同時に『境界線（ボーダー）から考える都市と建築』（三宅理一監修、「境界線から考える都市と建築」制作実行委員会編集、鹿島出版会、2017年）が記念出版され、当日に披露された。本稿では前半の記念講演のアウトラインを紹介する。以下にみるように、世界をまたにかけた三宅先生のフィールド活動の多彩さが万華鏡のように展開していく刺激的な講演だった。

記念講演＜文化の対称性・相同性をめぐって＞

1. 近世日韓中の建築（日光東照宮 1636、宗廟 1608、福陵（ヌルハチの墓）1651）をめぐると、日韓、韓中の交流

2. 朝鮮通信使に関する調査（1984-88）：牛窓（岡山県）、小田原釜山、草梁（チョンリョン）の倭館の比較により、日朝の大工の交流があったことが分かり、日本にも朝鮮にもない形式の建築が成立した
3. ヘトアラ・ホトン（遼寧省永陵鎮）などの研究調査（1993-97）を瀋陽市規設計画設計研究員と共同で実施、瀋陽故宮・崇政殿にある種のフランボワイヤン、西欧との接触が窺える
4. 磁器の輸出をめぐる世界経済の動き、政権交代期の混乱により有田が勃興して景德鎮を脅かすが、17世紀後半以降は盛り返す、シノワズリーとロココの関係に言及
5. ル・カミュ・ド・メジエールのパリ穀物取引場とカトリーヌ王妃の大円柱（ピュラン、天体観測のため）をめぐる論考、エトワール・ポレル（フリーメイソンのロッジ）のメンバーが関わる、18世紀とは世界の様々なところからインスピレーションを得ていた時代
* 1978年パリ 磯崎新の間の展覧会のコーディネーター28歳
6. イエズス会修道士が天文学を通じてヨーロッパと中国を結ぶ
7. エチオピア皇帝ススネヨスのカトリック改宗（1621）をめぐるイエズス会を結節点とした異文化交流について、インドからインド人をたくさんつれてくる、ゴンダール（エチオピア）ファジル・ゲビ（1979年に世界遺産登録）、教会芸術（図像）にはエチオピアにおけるイエズ

ス会の影響が随所に窺える

8. イスファハーンにおいて17世紀イラン（サファールヴィー朝）の異国趣味がみられる
9. アルガオ（セブ島）のスペインによるキリスト教化政策の跡について、サン・ミゲル・アルカンヘル（1788）調査（2012-16）、イエズス会ハウス復原を実施、中国系メスティーソがイエズス会の力の背景であり、中国系の意匠と技術、司祭館と住宅の組み合わせがみられる
10. 耐震バロック（バットレスと珊瑚石）の例としてのバクライオン教会堂（ボホル、1727）、2013年の震災では、アウグスティノス・レコレトス会による19世紀の部分は倒壊したが、当初の部分は無事
11. 僧院をめぐる、修道会、教会組織のネットワーク、プロボタ修道院（1530-32、モルドヴァ公ペトル・ラレシュ）における建築、構造、壁画の修復、世界遺産政策とポスト社会主義の文化政策の交錯、バリネシュティ修道院教会堂の修復
12. 1991年8月にモスクワ建築大学との交流中、クーデタが勃発
13. 厚田（石狩市の北）のアイヌ集落と開拓漁民についての調査、払い下げのメカニズムの面白さ、松前の武士が樺太経由で靴を購入していたことも
14. エチオピア、グンダ・グンド修道院（15-16世紀）の修復（女人禁制で苦勞）について、建築史研究をベースとした修復を行なった。

日仏工業技術会 第63回通常総会議事録

開催日時：2017年(平成29年)6月12日(月) 18:00～19:00

開催場所：日仏会館 501号室

出席者：出席29名、委任状68名 計97名

会員総数：150名(会員133名、賛助会員17名：公共機関1団体を含む)

記録：総務担当常務理事 江口 元

* 出席賛助会員企業名：

曙ブレーキ工業(株)、鹿島建設(株)、(株)エスイー

本会定款第5章第27条により、総会開催の定足数は会員の1/5(30)以上であり、それを総務担当の報告で確認した。これに従い、本総会は適法に成立したので定款に基づき、高橋会長が議長となり、開会を宣し議事に入った。

第1号議案

1. 刊行物

- ・会誌『日仏工業技術』
Tome62.No.1「木質建築の現在と未来1」(2016年12月25日発行)
Tome62.No.2「木質建築の現在と未来2」(2017年3月31日発行)
- ・フリーペーパー『L'Exchange』5号 2017年3月完成、配付済み。

2. 創立60周年記念事業

- ・会誌『日仏工業技術 L'Exchange』別冊特別号の発行。
2015年度に3回にわたり開催した連続講演会「日々の暮らしの豊かさ」と規律を目指して「現代科学を問い直す」の内容をまとめて構成、6月5日発行、配付済み。

3. ワークショップ

- ・第2回日仏三次元集積回路の課題と今後の展開に関するワークショップ
- ・2017年2月24日に開催、参加者66名：内容は会誌 Tome63.No.1 に掲載予定。

4. 見学会

- ・第13回見学会 神奈川県立がんセンター内 重粒子線治療施設
- ・2016年10月15日に在日フランス商工会議所と共同で開催、参加者は30名：報告記事を会誌 Tome62.No.2に掲載。

5. 常務理事会 6回開催した。

6. 委員会活動

- ・編集委員会 5回開催した。
- ・鉄道交通委員会 7回開催した。
- ・建築都市計画委員会 3回開催した。

7. 日仏会館関係

- ・日仏会館関連学会連絡協議会 2回出席した。

8. その他

- ・通常総会 2016年6月6日に開催
- ・新年会 2017年1月30日に開催
- ・共催 木質化をめぐるラウンドテーブル 2016年12月7日に開催
- ・日仏研究会議 2016年12月9日開催。建築都市計画委員会メンバーが出席。

—平成28年度(2016年度)事業報告は満場一致で承認された。

第2号議案

平成27年度(2015年度)収支決算報告書の件(中島財務担当常務理事代理岩田忠久副会長)

- ・創立60周年記念事業収支を一般収支と分けている。
- ・一般会計の収支は単年度収支で20万円ほどの赤字で、次年度繰越金は一般会計と創立60周年記念会計とを合わせて320万円強である。

理事会での出席者からの質問に対して「会誌 Tome62.No.1の刊行費は内容が60周年記念事業に関するものなので、記念事業決算に入れている」との説明があった。

—平成28年度(2016年度)収支決算報告書は満場一致で承認された。

第3号議案

平成28年度(2016年度)監査報告の件(鴨下博伸監事)

—平成28年度(2016年度)監査報告は満場一致で承認された。

第4号議案

平成29年度(2017年度)事業計画(案)承認の件(岩田忠久副会長)

1. 刊行物

- ・会誌2号の刊行を予定している。
- ・Tome63.No.1「第2回日仏三次元集積回路の課題と今後の展開に関するワークショップ」の特集号
- ・Tome63.No.2「日仏鉄道技術シンポジウム2017」の特集号
- ・フリーペーパー『L'Exchange』第6号
- ・日仏工業技術会のパンフレット制作・発行

2. 講演会

- ・日仏鉄道技術シンポジウム2017、2017年4月23日に開催した。参加者110名。

3. 見学会

- ・第14回見学会 2017年11月18日、キッコーマン(株)を予定。

4. 常務理事会 4～6回開催予定。

5. 委員会活動

- ・編集委員会、鉄道交通委員会、建築都市計画委員会は2か月に一度開催予定。その他、必要に応じて実行委員会を設置し、開催。

—平成29年度(2017年度)事業計画(案)は満場一致で承認された。

第5号議案

平成29年度(2017年度)予算書(案)承認の件(中島智章財務担当常務理事)

本年度は講演会による事業収入があり、一般会計は改善されている。今後創立60周年記念事業会計との統合化を検討する。

—平成29年度(2017年度)予算書(案)は満場一致で承認された。

第6号議案

平成29年度(2017年度)人事案の承認の件(岩田忠久副会長)

本年度は人事改選年度であり、退任・新任理事が提案された(以下順不同)。

会長 (新任)菅建彦 高橋会長は退任後、第7号議案で名誉会長に推挙

副会長 (新任)工藤高、知京豊裕、中島智章

常務理事(新任)齊藤八郎、羽田肇、太田勝

理事 (新任)青島啓太、江口久美、齋藤八郎、羽田肇、太田勝

監事 (新任)勝村庸介

退任 副会長 岡田雅年

常務理事 佐藤豊、江口元、勝村庸介

理事 高橋裕、岡田雅年、佐藤豊、江口元、佐藤宏毅、田畑米穂、

鳥海基樹、町末男、村野和雄

評議員 持田侑宏、坂本弘之

監事 村田朋美

—平成29年度(2017年度)人事案は満場一致で承認された。

第7号議案

名誉会長推挙の件(菅会長)

高橋前会長を名誉会長に推挙。

—名誉会長推挙の件は満場一致で承認された。

閉会の辞(高橋議長)

高橋議長から閉会の辞が述べられた。以上

決算報告

2016年度決算報告（2017年3月末日）

収入の部			支出の部		
科目	予算	決算	科目	予算	決算
会費収入	1,852,000	1,754,654	事業費	845,000	639,559
正会員費	850,000	624,654	会誌刊行費	645,000	579,484
賛助会員費	1,100,000	1,130,000	会誌印刷・製本費	200,000	202,986
学生会員	2,000	0	会誌翻訳/原稿料	25,000	0
広告収入	500,000	319,136	会誌編集関連費	25,000	23,404
会誌広告	500,000	319,136	会誌発送費	25,000	29,094
事業収入	400,000	293,000	会誌デザイン・編集費	300,000	324,000
第13回見学会	200,000	13,000	フリーペーパー編集費	70,000	0
3Dワークショップ	200,000	280,000	企画費	200,000	60,075
助成・寄付	400,000	241,379	第13回見学会	200,000	5,000
フランス大使館助成金		241,379	3Dワークショップ		55,075
雑収入	82,500	197,026	庶務費	650,000	527,947
銀行預金利息収入	500	26	役員会費	0	-11,138
会誌・別冊売却	2,000	0	集会費	100,000	162,000
集会参加費	80,000	197,000	事務費	100,000	32,400
当期収入合計(A)	3,234,500	2,805,195	通信費	180,000	125,553
前期繰越収支差額	-1,034,103	-1,034,103	交通費	130,000	135,400
収入金額(B)	2,200,397	1,771,092	厚生費	50,000	52,037
			会議室使用料	90,000	31,695
			人件費	800,000	807,375
			管理費	1,067,600	1,031,915
			事務所費(家賃)	777,600	777,600
			雑費	20,000	20,434
			設備費	20,000	0
			コピー関連費	250,000	233,881
			当期支出合計(C)	3,362,600	3,006,796
			当期収支差額(A)-(C)	-128,100	-201,601
			次期繰越収支差額(D)=(B)-(C)	-1,162,203	-1,235,704
			(C)+(D):収入の(B)と一致	2,200,397	1,771,092

2017年度予算

収入の部		支出の部	
科目	予算	科目	予算
会費収入	1,852,000	事業費	2,163,000
正会員費	750,000	会誌刊行費	1,208,000
賛助会員費	1,100,000	会誌印刷・製本費	400,000
学生会員	2,000	会誌翻訳/原稿料	43,000
広告収入	500,000	会誌編集関連費	25,000
会誌広告	500,000	会誌発送費	50,000
事業収入	1,910,000	会誌デザイン・編集費	550,000
第14回見学会	10,000	フリーペーパー編集費	140,000
講演会関連	1,900,000	企画費	955,000
助成・寄付	200,000	第14回見学会	5,000
フランス大使館助成金	200,000	日仏鉄道技術シンポジウム	950,000
雑収入	202,400	庶務費	655,400
銀行預金利息収入	400	役員会費	0
会誌・別冊売却	2,000	集会費	200,000
集会参加費	200,000	事務費	50,000
当期収入合計(A)	4,664,400	通信費	180,000
前期繰越収支差額	-1,235,704	交通費	135,400
収入金額(B)	3,428,696	厚生費	50,000
		会議室使用料	40,000
		人件費	800,000
		管理費	1,046,000
		事務所費(家賃)	776,000
		雑費	10,000
		設備費	10,000
		コピー機関係	250,000
		当期支出合計(C)	4,664,400
		当期収支差額(A)-(C)	0
		次期繰越収支差額(D)=(B)-(C)	-1,235,704
		(C)+(D):収入の(B)と一致	3,428,696

創立60周年記念事業決算

収入の部			支出の部		
科目	予算	決算	科目	予算	決算
当期収入合計(E)	0	0	会誌刊行費	1,075,000	922,718
前期繰越収支差額	5,412,531	5,412,531	連続講演会別冊特別号	500,000	431,840
収入合計(F)	5,412,531	5,412,531	会誌 Tome 62 No.1	575,000	490,878
			パンフレット作成費用	125,000	0
			印刷費	45,000	0
			デザイン料	80,000	0
			当期支出合計(G)	1,200,000	922,718
			当期収支差額(E)-(G)	-1,200,000	-922,718
			次期繰越収支差額(H)=(F)-(G)	4,212,531	4,489,813
			(G)+(H):収入の(F)と一致	5,412,531	5,412,531

次期繰越収支差額合計 D+H 3,050,328 3,254,109

創立60周年記念事業予算案

収入の部		支出の部	
科目	予算	科目	予算
当期収入合計(E)	0	企画費	425,000
前期繰越収支差額	4,489,813	パンフレット印刷	45,000
収入合計(F)	4,489,813	パンフレットデザイン料	80,000
		ホームページリニューアル費用	300,000
		当期支出合計(G)	425,000
		当期収支差額(E)-(G)	-425,000
		次期繰越収支差額(H)=(F)+(G)	4,064,813
		次期繰越収支差額合計 D+H	2,829,109



宮内 瞳岨 / Toru MIYAUCHI
太田 勝 / Masaru OTA
公益財団法人鉄道総合技術研究所
小坂 彰洋 / Akihiro KOSAKA
東京地下鉄株式会社

1. はじめに

さる2017年4月23日(日)に日仏工業技術会 鉄道交通委員会が中心となり、「日仏鉄道技術シンポジウム2017ー都市鉄道と近未来ー」を開催した。鉄道交通委員会では、これまで、日仏鉄道技術シンポジウムを2回開催しており、1回目は、2007年5月25日(金)「日仏鉄道技術交流の歴史と将来」と題して、2回目は、2012年9月27日(木)「自然災害と鉄道ー日仏の災害の特徴と防災技術ー」と題して行われ、今回が3回目となる。

今回は、「都市鉄道と近未来」をテーマとして、パリ交通公団(RATP)、アルストム社およびフランス運輸・整備・ネットワーク科学技術研究所(IFSTTAR)の専門家をお招きして開催した。

日本からは、東日本旅客鉄道株式会社、東京地下鉄株式会社、元東京都交通局および公益財団法人鉄道総合技術研究所の専門家が参加した。シンポジウムでは、テーマに沿って日仏の専門家から両国での都市鉄道における共通の課題を明らかにするとともに、近未来

に向けた解決の道筋を示す7件の講演があった。

シンポジウムには、国内外から約110名の方々に参加頂き、講演の後の質疑では、参加者間で都市鉄道の現状や課題について活発なディスカッションが行なわれた。

2. シンポジウム

開催にあたり、主催者として日仏工業技術会の高橋会長、共催者として、公益財団法人日仏会館の横山悠喜副理事長、公益財団法人鉄道総合技術研究所の熊谷則道理事長、来賓として国土交通省鉄道局 潮崎俊也大臣官房技術審議官、同じく来賓として東日本旅客鉄道株式会社の西山隆雄常務取締役から挨拶があった(写真1-5)。



写真1 日仏工業技術会 高橋前会長



写真2 日仏会館 横山副理事長



写真3 鉄道総研 熊谷理事長



写真4 国土交通省 潮崎大臣官房技術審議官



写真5 JR東日本 西山常務取締役

2.1 東日本旅客鉄道株式会社 横山淳氏の講演(写真6)

「JR東日本がIoT × AIで目指すモビリティ革命」という標題で、東日本旅客鉄道株式会社 執行役員、総合企画本部 技術企画部長、JR東日本研究開発センター長である横山淳氏から講演があった。概要は次の通りである。

JR東日本は世界最大の総合鉄道企業である。その業務は鉄道事業、ライフスタイルからSuicaに代表されるIT事業にわたり、Trusted Life-Style Service Creating Groupとしての社会的責任を果たしつつさらなる成長を遂げようとしている。JR東日本は本年創立30周年の節目を迎えたが、人口減少およびグローバル化という厳しい現実と直面している。一方、IoT (Internet of Things)、ビッグデータ、AIなどの先端技術は飛躍的に発展し、あらゆる産業に大きな影響を及ぼしつつあり、『第四の産業革命』と呼ばれている。輸送産業においても、カーシェアリングシステムおよび自動運転技術が鉄道などの公共輸送と自動車輸送の垣根を取り払いつつある。そういった社会・技術の変化に対応してJR東日本を変革するために、IoT、ビッグデータ、AIに基づく20年後を視野に入れた技術革新のビジョン、『モビリティ革命』を策定したところである。

質疑を以下に示す。

Q: JR東日本ではレール表面の画像を撮影したり、架線の画像を撮影したりして状態監視をしているとのことだが、データ量が膨大になると思う。どのようなデータ処理をしているのか？

A: データ処理の方法が課題で、現時点ではモニタリングのデータを1箇所を集めるためのサーバーを構築しているところである。最終的にはプレゼンテーションで示したようなクラウドの形にし、分析のための技術者を配置し、



写真6 JR東日本 横山執行役員

位置合わせなどもする予定である。

2.2 RATP ジャン・マーク・シャロウ氏、クロード・アンドロウエ氏の講演(写真7)

「パリのメトロネットワークの近代化、エネルギーの節約とオートメーション」という標題で、RATP 技術部長 ジャン・マーク・シャロウ氏、鉄道輸送システム長 クロード・アンドロウエ氏から講演があった。概要は次の通りである。

RATPはフランスの首都圏エリアをカバーする輸送ネットワークの主要な部分の運行を担っており、1週間あたりの輸送旅客数はフランスの全人口に匹敵する。輸送効率とサービスの向上のため、RATPでは現在意欲的な改善プログラムを実施中である。メトロの自動化および省エネも現在取り組んでいる課題である。このプログラムは、有益で安全な新技術、NTICに依拠している。

イル・ド・フランスエリアをカバーするRATPの輸送ネットワークは、世界でもっとも古いネットワークであり、1900年の最初のメトロライン開通以来、RATPのネットワークはベストの安全性とサービスを提供するために絶えず近代化されてきた。60年代の自動化技術、80年代のコンピューター制御の鉄道安全システムの導入に続き、現在ではRATPも他産業同様圧倒的なデジタル技術の発展に対応しなければならないという新たな課題に直



写真7 RATP ジャン・マーク・シャロウ氏(左)クロード・アンドロウエ氏(右)

面している。こういった新技術によるサービス向上には無限の可能性がある一方で、鉄道への応用についてはその制約やライフサイクルを考慮した上で慎重になさなければならない。

質疑を以下に示す。

Q: RATPでは無人運転はいつ導入するのか？またそれには政府の許可が必要なのか？

A: EUのルールがあり、無人運転には安全性の実証が必要となる。また鉄道メーカーと鉄道事業者による安全性の検証が必要であり、さらに独立組織よっての判断、これらの情報がすべて都市輸送を管轄する当局に伝えられ、最終的に決まる。

また、RATPの方では安全性に関して自分たち独自の判断をしている。これは外部に公表しないものである。この判断には70人/年の人的資源を必要としている。輸送網で事故が起らなければ、70人/年のコストの元はとれると考えている。

無人運転というのは、より複雑なシステムであると考えられる傾向だが、純粋な技術的観点からは必ずしもそうではない。完全な無人運転で検討が必要なのは、通常運転に関することが20%で、残り80%は異常時対応に関することである。つまり、課題の大部分は技術以外のところにあるということである。

Q: 異常時の利用者の避難誘導に関してどのような考え方を持っているか？また、無人化になってから利用者から

不安の声はないのか？

A: トンネル内での事故の対処は重要な問題である。まずはシステムの信頼性を向上させることが重要である。状況が中程度悪化した場合、可能な限り列車をプラットフォームまで動かしてきて、ホームで乗客の退避をはかる。トンネル内で乗客を退避させることは、最後の手段であるが、1年に1回程度はこういう事象が発生する。トンネル内での退避は、列車をプラットフォームまで運行するのに時間がかかる場合である。たいていの場合、トンネル内の退避と言うのは、乗客がレバーを引いて手でドアを開けてしまい、乗客が車両外に出てしまう場合である。この時すべてのシステムはブロックされてしまう。これを防ぎ堅牢にするためには、コミュニケーションシステムを充実させ、トンネル内で列車が止まってしまうようにするということである。乗客とのやり取りをどうするか、心理社会学の分野の問題でもある。国民の規律が良い国では問題にならないが、フランスでは規律が悪いので、どうしてもそういう事態が起きてしまう。乗客に対して適切な情報を伝えることが重要である。実際は運行事業者が乗客に適切な情報を伝えることができないため、乗客が勝手にドアを開けて車両の外に出てしまうことがあると思う。メトロ1号線では、多くの乗客に無人運転化が気づかれずに移行した。システムの故障が全く起こらないので、運行事業者として訓練が全くできないの



写真8 鉄道総研 渡辺理事



写真9 質疑の様子



写真10 司会の様子

が問題となっている。

2.3 公益財団法人鉄道総合技術研究所 渡辺郁夫氏の講演(写真8)

「ネットワークとシミュレーションによる鉄道の革新」という標題で、公益財団法人鉄道総合技術研究所 理事 渡辺郁夫氏から講演があった。概要は次の通りである。

鉄道は、車両、構造物、電力設備及び列車運行状態などの情報とともに、強風、豪雨、大規模地震などに関する外的情報を常に収集分析することで、安全な運行を続けている。今後、さらに安全性や利便性の向上、低コスト化、環境との調和などを実現しながら、鉄道が発展するためには、今ある情報だけでなく、予測された情報や、測定が困難な情報についても収集し、利用する必要がある。そのためには、情報ネットワークを構築し、設備、気象、車両運行、旅客などの情報を収集するとともに、リアルタイムなシミュレーションにより、事象や現象を予測し、予測された情報に基づいて鉄道の安全管理や運行計画にリアルタイムにフィードバックしていく技術が必要となる。講演では、革新的な技術となり得る情報ネットワークとシミュレーションについて展望した。

質疑を以下に示す。

Q: 鉄道総研ではフランスのSNCF、IFSTTARと共同研究を行っているとのことだが、その他、海外の機関との共同研究はあるか？

A: ドイツの企業との共同研究がある。大学としてはイギリス、アメリカ、イタリア、アジアでは中国と韓国の鉄道研究所と共同研究がある。

Q: 降水判断の研究事例について、どのようなデータを使うのか？

A: 防災科学研究所のデータと鉄道沿線の計測データを元になっている。

2.4 東京地下鉄株式会社 小坂彰洋氏の講演(写真11)

「東京メトロの技術開発」という標題で、東京地下鉄株式会社 企業価値創造部長 小坂彰洋氏から講演があった。概要は次の通りである。

東京メトロは、鉄道事業を中心とした技術開発を通じて企業価値向上を



写真11 東京地下鉄 小坂部長

目指している。車両分野では、銀座線1000系車両に「操舵台車」を導入し、カーブの多い地下鉄において、騒音と振動の低減という効果を得た。また、土木分野では、トンネル検査にタブレット端末を導入、情報共有の迅速化や検査効率の向上が図られた。このような同社の取り組みについて紹介した。

質疑を以下に示す。

Q: 東京メトロは駅における安全性、ホームにどれくらい乗客がいるかリアルタイムで監視をしているのか？ また運行にどのように活用しているのか？

A: 駅のプラットフォームの状況は、総合指令所のモニターで見ることができているが、人数をカウントするシステムは未導入となっている。

Q: 東京メトロではCBTCの導入計画があるが、無人運転を目指すのか？

A: 東京メトロとして無人運転をする意思決定をしたことはない。ホームドア導入の際は、ワンマン運転を目指しているが、人員の問題もあるので、バランスを考慮しつつ進めている。

2.5 元東京都交通局 古田勝氏の講演 (写真12)

「東京周辺の軽量輸送システム」と題して、元東京都交通局 古田勝氏から講演があった。概要は次の通りである。

東京都区部及び横浜市の路面電車は、道路交通の渋滞により1970年までにほとんどが廃止され、以降に地下鉄の建設が進められた。また、中量軌道

系の輸送システムとして位置づけられるリニア・メトロ、モノレール及び新交通システムは、JR幹線鉄道と地下鉄の需要を補完する交通機関として整備されている。リニア・メトロは、利用者の需要に応じて地下トンネルの断面を縮小し、リニア駆動車両を用いることにより、建設コストを低減する地下鉄として利用されている。モノレールと新交通システムは、輸送力が中間の公共交通機関として評価され、沿線の通勤・通学の足として導入された。これらの軽量輸送システムのモノレール、新交通システムの多くは、地方自治体が出資者となり、第三セクターが運営と維持管理している。

質疑を以下に示す。

Q: 軽量輸送システムということではLRT、リニア・メトロ、モノレールなどの特徴を生かして使っていると理解したが、どんなところに違いがあるのか？

A: 本質的な所は、需要にあったシステムを納入することが重要である。コストなどを考慮すると、モノレールなどの新交通システムは東南アジア諸国などでも整備されると考えている。

2.6 アルストム ジェラルド・コワルスキー氏の講演(写真13)

「日本の都市鉄道とアルストムのビジネス」と題して、アルストム 国際ビジネス顧客部長 ジェラルド・コワルスキー氏から講演があった。概要は次の通りである。

アルストム社はトラムやメトロといった都市交通の分野に非常に力を入れている。トラムはここ10数年フランスおよび世界の多くの国で導入されており、日本の将来のニーズ、とりわけ高齢社会のニーズにも非常に適している。しかし利用者を受け入れられ、十分な利用率を達成するためにはデザイン的にも優れたものでなければならない。さらに世界的なエネルギー消費最適化要請に応えるためにも最新の技術を備えていなければならない。そのためアルストムは、デザイン性にも優れ、永久磁石モーターなどの先端技術を備えたハイテクトラムを開発した。さらにグローバルサプライヤーとして出力電圧をコントロールし、都市交通システムの再生電力を電力会社に送り返すことができる変電システムも開発している。この他にも都市交通の分野で様々な技術改革を手がけている。

質疑を以下に示す。

Q: LRTで架線のあるシステムと架線レスシステムについて、メンテナンス性とコストはどうか？

A: コストに関しては架線レスシステムではかなり高くなる。街の中心部で景観が重視される所に導入されている。メンテナンスコストに関しては、架線レスシステムは当初メンテナンスコストがかなりかさんだが、現在はほぼ同じになってきている。ちなみにドバイでは予算があったので全線架線レスのシステムが導入された。



写真12 元東京都交通局 古田勝

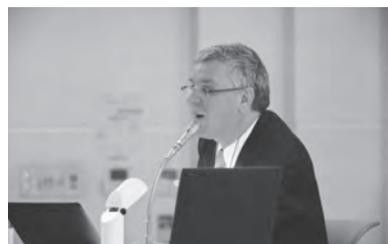


写真13 アルストム ジェラルド・コワルスキー氏



写真14 IFSTTAR ブルーノ・ゴダー氏

2.7 IFSTTAR ブルーノ・ゴダー氏の講演(写真14)

「IFSTTARでの鉄道インフラとシステムにおけるR&D」と題して、IFSTTAR 材料構造部 次長 ブルーノ・ゴダー氏から講演があった。概要は次の通りである。

IFSTTARは鉄道インフラ、モビリティ、鉄道システム全体の研究開発を手がけており、3つの部門が担当している。MAST部門はバラスト軌道の設計・メンテナンスの改良、コンクリートスラブまたは混合スラブ軌道の試験研究、バラストリサイクル、および新型軌道のモニタリングを、GERS部門は土壌の疲労現象、橋脚および土壌の洗掘を担当。COSYSは自動運転交通システムの安全評価改善方法の開発、さまざまな鉄道車両の(軌道との物理的相互作用を含む)動的特性のモデル化およびシミュレーション、新しい通信技術、鉄道輸送のローカライゼーションおよび監視システムの開発などを担当し、さらに半導体、スーパーキャパシタ、燃料電池などの技術開発によるパワーエレクトロニクスの鉄道システムへの応用および鉄道輸送の最適化も手がけている。

なお、時間の関係で質疑は行われなかった。

3. 総括

総括を在日フランス大使館ピエール・ファルダン氏が行った(写真15)。このシンポジウムの開催者、プレゼンターの皆様に感謝する。これはフランスと日本の鉄道分野の研究開発がいかにすぐれているかを示しているものだと思う。さまざまな課題、取り組み方が、フランスと日本で異なっている場合もあるが、それが補完性を生み出しているとも言える。だからこそ協力も



写真15 在日フランス大使館 ピエール・ファルダン氏

盛んだと思う。フランス大使館ではそのような協力の状況をフォローし、できる限り支援したいと思っている。今回のようなシンポジウムを開催し、日仏の研究者に対する資金的な支援も行っている。これには3つのタイプの資金的支援がある。1つは学生に対する奨学金、特にフランスで学びたい大学院レベルの学生に対する奨学金がある。2つ目は日本における研究、調査に参加したいフランス人に対する支援である。3つ目は日仏の同じチームで同じプロジェクトに参加する場合、日本側には100万円、フランス側には6000ユーロの支援がある。興味のある場合はフランス大使館に問い合わせしてほしい。今後も日仏の鉄道分野の協力が続き盛んになることを願う。



写真16 鉄道交通委員会 菅委員長

閉会の挨拶を日仏工業技術会鉄道交通委員会委員長、菅建彦氏が行い、幕を閉じた(写真16)。

4. 最後に

皆様のおかげで、日仏鉄道技術シンポジウム2017は多くの参加者があり、盛大に行われ、大成功のうちに終了した。日仏鉄道技術シンポジウムは2007年から5年ごとに開催されている。次回、2022年も盛大に行われることを願う次第である。

最後に、スポンサーとなっていただいた企業の方々に厚く御礼申し上げます。



写真17 懇親会の様子



伊良部大橋（沖縄県）「一般社団法人 宮古島観光協会提供」

■ 営業種目 ■

- プレストレストコンクリート用資機材の製造・販売・開発・技術協力
- FKKフレシネー工法定着具の製造・販売、緊張用ジャッキ他の賃貸
 - ・内ケーブル、外ケーブル用
 - ・エクストラドーズド橋斜ケーブル、LNG低温タンク、高強度PC鋼材用
 - ・シングルストランド定着具 Eco's
- フラットジャッキ資機材の製造・販売・技術協力

FKK

極東鋼弦コンクリート振興株式会社

本 社 〒104-0045 東京都中央区築地1丁目12-22 コンワビル6F 電 話 03-6226-4631（営業）
F A X 03-6226-4632

機材センター 〒254-0807 神奈川県平塚市代官町37番31号 電 話 0463-21-4756
F A X 0463-21-4903

AKEBONO

BRAKE EXPERTS

さりげない安心と感動する制動を



Ai-City(本社) 〒348-8508 埼玉県羽生市東5丁目4番71号 Tel.(048)560-1500(大代表)

www.akebono-brake.com

NIPPON KOEI



創業以来、多くの国と地域で
コンサルティングサービスを
実施しています。

参考: 国連加盟国数は193カ国 (2014年11月現在 外務省HPより)

売上高819億円、
過去最高を更新中。
日本の建設コンサルタント業界
売り上げ No.1です。



156
/193ヶ国



819
億円=No.1



我が社が
設計・施工監理に携わっている
鉄道案件の総延長距離は、
ニューヨークからロンドンに
匹敵します。

海外で施工監理している
送電線の長さを合わせると、
地球1/4周分になります。



5,600
Km=
NY⇄London



13,000
Km



エンジニアリング・コンサルタント



日本工営株式会社

海外拠点

アジア

ジャカルタ・マニラ・バンコク・ハノイ・ホーチミン・ヤンゴン・ネピドー・ビエンチャン・プノンペン
ニューデリー・コロンボ・ダッカ

中東

アンマン・チュニス・ラバト・カイロ

欧州

マンチェスター

アフリカ

ナイロビ・ハボロネ・マプト

中南米

サンサルバドル・マナグア・パナマシティ・メデジン・キト・リマ・サンパウロ・アスンシオン・コチャバンバ

コンサルタント海外事業本部

〒102-8539 東京都千代田区九段北1丁目14番6号

TEL 03(5276)3303 FAX 03(5276)3090 www.n-koei.co.jp



JARTS

JAPAN RAILWAY TECHNICAL SERVICE



「新幹線と世界の高速鉄道 2014」

一般社団法人海外鉄道技術協力協会著
ダイヤモンド社 地球の歩き方BOOKS

ISBN 978-4-478-04637-1

体裁：96ページ (A4サイズ)

定価：1,500円+税



「世界の鉄道」 Railways of the world

一般社団法人海外鉄道技術協力協会著
株式会社 ダイヤモンド・ビッグ社 発行

ISBN 978-4-478-04767-5

体裁：480ページ (B5サイズ)

定価：3,500円+税



一般社団法人海外鉄道技術協力協会

JAPAN RAILWAY TECHNICAL SERVICE

〒113-0033 東京都文京区本郷2-27-8
電話：03-5684-3172 FAX：03-5684-3180
Email：info-jarts@jarts.or.jp

菅 建彦

Tatsuhiko SUGA

日仏工業技術会会長

1965年東京大学法学部卒業、同年4月日本国有鉄道入社/1986年バリ日本国有鉄道事務所長、87年4月からJR東日本バリ事務所長/1990年国際鉄道連合(UIC)上級技術顧問/1993年(財)東日本鉄道文化財団専務理事/2003年(財)交通文化振興財団理事長・交通博物館長/2007年(財)交通協力会理事長(2011年8月から公益財団法人)/2010年同鉄道交通委員会委員長/2017年本会会長。

知京 豊裕

Toyohiro CHIKYO

主任研究者

国立研究開発法人物質・材料研究機構
統合型材料開発・情報基盤部門(MaDIS)

1959年福岡県生まれ。1989年早稲田大学院理工学専攻科を修了。工学博士。1989年旧科学技術庁金属材料技術研究所に入所、量子ドットをつかった発光素子の開発に携わる。1999年東京工業大学、金属材料技術研究所、無機材質研究所で始まった先導研究「コンピナトリアル材料科学の創成と先端産業への展開」に参加。2007年独立行政法人物質・材料研究機構発ベンチャーである株式会社コメットの設立に参加、コンピナトリアル材料合成装置や委託開発のビジネスに参加。2011-2016年MANA ナノエレクトロニクス材料ユニットユニット長。2016-2017年MANA 半導体デバイス材料グループグループ長。2017年より現職。1993-1994年ノースカロライナ州立大学客員研究員、1995年よりワシントン大学材料工学科客員教授、2008年より早稲田大学物質・材料研究機構連携大学院教授。

小柳 光正

Miisumasa KOYANAGI

東北大学未来科学技術共同研究センター 教授

室蘭工業大学電気工学科を卒業後、1971年に東北大学大学院工学研究科修士課程、1974年に博士課程を同大学にて修了。1974年に(株)日立製作所中央研究所に入社。半導体メモリの研究に従事しタックドキャパシタ DRAM 素子を発明。1985年シリコンバレーにあるゼロックス社パロアルトリサーチセンターに入社。1988年から広島大学集積化システム研究センターの教授を務め、3次元集積回路、光配線などの研究に従事。1994年東北大学工学部機械知能工学科教授、1995年東北大学大学院工学研究科機械知能工学専攻教授。現在は東北大学未来科学技術共同研究センター 教授。

1992年大河内記念技術賞、1994年SSDM (Solid-State Devices and Materials) Award、1996年 I E E E (米国電気電子学会) Cleo Brunetti Award、1997年 I E E E フェロー、2002年文部科学大臣賞(科学技術功労者)、2004年応用物理学会 光電子集積化技術業績賞(林巖雄賞)、2006年応用物理学会フェロー、2006年 I E E E Jun-ichi Nishizawa Medal。

川喜多 仁

Jin KAWAKITA

国際ナノアーキテクトニクス研究拠点(MANA)半導体デバイス材料グループ主席研究員
外部連携部門化学マテリアルズオープンプラットフォーム

1994年慶應義塾大学卒業、1996年慶應義塾大学大学院修士課程修了 修士(工学)、1998年慶應義塾大学大学院博士課程期間短縮修了 博士(工学)。1997-2000年慶應義塾大学理工学部助手を経て2000年科学技術庁金属材料技術研究所(現物質・材料研究機構)研究員となる。2008-2009年物質・材料研究機構企画部理事室運営主幹、2009-2010年文部科学省科学技術・学術政策研究所客員研究員。2015年より物質・材料研究機構主席研究員、2015年より現職。2004-2005年文部科学省在外派遣研究員(ドイツ・マックス・プランク研究所)、2010年より千葉工業大学客員教授。

青柳 昌弘

Masahiro AOYAGI

つくばイノベーションアリーナ推進センター 連携推進ユニットユニット長
ナノエレクトロニクス研究部門3D集積システムグループ研究グループ(兼任)

1982年名古屋工業大学工学部電子工学科卒業し、同年通商産業省工業技術院電子技術総合研究所、基礎部へ入所。1988年電子デバイス部配置換、1991年名古屋工業大学工学博士。1994-1995年6月末、英国国立物理学研究所客員研究員。1999年電子SIラボ ラボリーダー。2001年より独立行政法人産業技術総合研究所エレクトロニクス研究部門高密度SIグループ研究グループ長。2004-2009年光・電子SI連携研究体長。2011-2014年ナノエレクトロニクス研究部門3D集積システムグループ研究グループ長を務め、三次元集積回路の開発を進める。この間、副研究部門長も務める。2015年より現職。

ストルク佳代子

Kayoko STORCK

1983年Oxford Brookes Univ. 遊学/1985年Univ.Paris III LEA 遊学/1987年欧州の航空会社出資のホテルチェーンにて営業企画、ヨーロッパ圏内5カ国を5年間勤務後に渡仏/1993年パリにて仏系商社(日仏貿易)のアシスタント、商品企画などを提案する仕事は現在も継続中。
その間、フランス人夫と結婚、出産、主婦、子育てをしながら仕事を続けるアクティブマダム。

岡田 健

Takeshi OKADA

1935年生まれ、1958年大阪大学理学部物理学科卒業後、(株)神戸製鋼所入社、1962-3年フランス国立パリ鉱山大学校 ENSMP 留学、理学博士、1974年日本原子力学会技術賞、1980年神鋼・原子力エンジニアリング部長(初代)、1987年東南アジア鉄鋼協会事務局長、1988年米国鉄鋼協会 AISI 名誉会員、1990年神鋼理事・鉄鋼生産本部長代理、1991年フランス冶金・材料協会 SF2M 名誉会員、1992年日本鉄鋼協会専務理事補佐、1994年フランス国家功労勲章・シュバリエ賞、1995年日本高周波鋼業(株)監査役、1995年-現在神鋼リサーチ(株)アドバイザー、1997年-現在岡田木造建築士事務所管理建築士、2004年-現在フランス EUROTAB グループ顧問。

中島 智章

Tomoaki NAKASHIMA

工学院大学建築学部准教授

1970年福岡県生まれ、東京大学大学院工学系研究科建築学専攻博士課程修了。博士(工学)。日本学術振興会特別研究員(PD)等を経て、現在、工学院大学建築学部准教授。

著書に「図説 キリスト教会建築の歴史」、『図説パロック 華麗なる建築・音楽・美術の世界』(河出書房新社)他、訳書『中世ヨーロッパの城塞:攻防戦の舞台となった中世の城塞、要塞、および城壁都市』(マール社)他/2005年日本建築学会奨励賞受賞。

田中 恒寿

Tsunehisa TANAKA

札幌大学地域共創学群准教授

1995年京都大学大学院文学研究科博士課程単位取得退学後、札幌大学専任講師/現在、同大学地域共創学群准教授。

リュシアン・スフェーズ「象徴系の政治学」白水社、1997(翻訳)。

編集後記

本稿は8月17日夜までに提出予定でしたが、様々な原稿や所用が重なり、それはありませんでした。その後、8月18日朝にピサ、8月20日にローマへと至り、現在、ローマの旧市街地、スペイン人地区だったと思われる場所に宿を定め、本稿を書くこととなりました。

それにしても、8月のイタリアは暑い！というわけで、すぐさま、12時から15時までは活動停止時間とし、宿にて原稿執筆の時間に当てることにしました。1999年8月にスペインに行った際もバルセロナ到着後に暑さにやられて1日宿での休息を余儀無くされたことがあり、今回もピサからローマへ発つ直前、ピサ駅のホームで具合が悪くなったものですが、結局、「シエスタ」(siesta)なる昼寝の習慣があるのもこのような風土が密接に関係しているということなのでしょう。かくして、本稿もそのように執筆することとなりました。

さて、本号では2017年2月24日に日仏会館で実施された「第2回日仏三次元集積回路の課題と今後の展開に関するワークショップ」の内容を元に構成しました。門外漢ながら、編集委員長も聴講させていただきましたが、当日は全てを理解できたわけではないので、この度、文章の形で本号特集として公刊することとなり、私自身も読むのを楽しみにしています。上記ワークショップの実施、および、今号の特集に御協力下さった日仏の関係者各位に感謝申し上げます。

また、本号では2017年6月12日の総会にて会長が交代となり、高橋裕会長が退任して菅建彦新会長が就任したことを報告いたします。高橋前会長のこれまでの本会への御貢献に感謝申し上げます次第です。

編集委員長、建築史家 中島 智章

編集委員長：
中島智章
工学院大学建築学部

副編集委員長：
横川善之
大阪市立大学大学院工学研究科

副編集委員長：
宮内瞳岨
(公財) 鉄道総合技術研究所

編集委員：
岩岡竜夫
東京理科大学理工学部

岩田忠久
東京大学大学院農学生命科学研究科

江口久美
九州大学持続可能な社会のための決断科学センター

川原正言
元首都大学東京工学部

菅原慎悦
(一財) 電力中央研究所

稲田定博
サンゴバン・ハンガラス・ジャパン(株)

特集記事オブザーバー：
知京豊裕
国立研究開発法人 物質・材料研究機構 統合型材料
開発・情報基盤部門 (MaDIS)

翻訳：
田中恒寿
札幌大学地域共創学群

編集：
石田潤
日仏工業技術会

アートディレクション / デザイン：
和氣明子 (FUTURE'S)

印刷：
勝美印刷株式会社

日仏工業技術
*BULLETIN DE LA SOCIETE FRANCO-JAPONAISE
DES TECHNIQUES INDUSTRIELLES
L'année 2017/TOME63+NO.1*

発行所：
日仏工業技術会
〒150-0013 東京都渋谷区恵比寿3-9-25
TEL : 03(5424)1146
FAX : 03(5424)1147
振替0010-7-9774
<http://www.sfjti.org/>
平成30年2月22日印刷
平成30年3月3日発行



Engineering & Numerical Analysis Department Integrated Geotechnology Institute Limited (IGI)

株式会社複合技術研究所は、
地盤の補強・強化に関する分野の
シンクタンクとして環境変化に対応し、
社会ニーズに答える技術者集団です。

IGI 株式会社複合技術研究所

Tel: 03-5368-4101, Fax: 03-5368-4105

Shinjuku district Yotsuya 1-23-6 TOKYO 160-0004

Tel: (+81)-3-5368-4101, Fax: +81-3-5368-4105

URL: <http://www.igi.co.jp>

ナンバーワン&オンリーワン。 ジェイテクト。

本気で何かを志すとき。

誰もが一度は、ナンバーワンを目指し、オンリーワンになろうと努力する。

それは、誰もがナンバーワンの偉大さと、
オンリーワンの尊さを知っているから。

ジェイテクトは、すでに数多くのナンバーワン・オンリーワンをもっている。

自動車部品事業は、世界に先駆けて

電動パワーステアリング(EPS)の開発・量産に成功。

現在でも全世界の3台に1台で採用され、

世界ナンバーワンのシェアを誇る。

軸受(ベアリング)事業は、1200℃を超える厳しい環境下でも

高い精度と耐久性が求められる鉄鋼圧延機用軸受を、

国内メーカーで初めて開発し、様々な産業の発展に貢献してきた。

工作機械・メカトロ事業は、オンリーワン技術の流体軸受によって、

20年以上使用しても高い精度を維持する円筒研削盤を生み出した。

ジェイテクトは、新たに策定したグループビジョンで、もういちど約束する。

お客様の期待を超える「価値づくり」で、

世界を感動させる「モノづくり」で、

自ら考え、行動する「人づくり」で、

さらなるナンバーワン、オンリーワンをつくりつづけることを。

ジェイテクトは、誰よりも知っている。

この世界を変えられるのは、いつだって

ナンバーワンであり、オンリーワンだということを。

だからジェイテクトは、きょうもつくりつづける。

より良い未来に向かって。

No.1 & Only One JTEKT

自動車部品・ベアリング・工作機械の、ジェイテクト。